

9 РЕГІСТРИ

9.1 Загальні зауваження

Регістрами називаються пристрої, що виконують функції прийому, збереження і передачі інформації. Інформація в регістрі зберігається у вигляді числа (слова), представленого комбінацією 0 і 1.

Регістри виконуються, як правило, на основі тригерів R-S, D або J-K-тригерів.

За допомогою регістрів можуть здійснюватися операції перетворення кодів (наприклад, з послідовного в паралельний і навпаки), а також деякі логічні операції (порозрядне логічне додавання й ін.)... Найбільше застосування регістри знаходять для тимчасового збереження інформації.

Основною ознакою, по якій розрізняють регістри, є спосіб запису числа в регістр. За цією ознакою регістри можна розділити на 3 групи:

- паралельні – інформація записується одночасно в усі тригери регістра;
- послідовні – інформація записується спочатку в перший тригер, а потім передається в другий і т.д.;
- універсальний – працює в будь-якому з режимів.

Послідовні регістри бувають звичайні зсувні та реверсивні. В звичайних регістрах інформація зсувається в одну сторону, а в реверсивних – в обидві.

У паралельних регістрах запис числа здійснюється в усі розряди регістра одночасно (паралельним кодом).

У послідовних регістрах запис коду здійснюється починаючи з молодшого або старшого розряду, шляхом послідовного зрушення коду тактуючими імпульсами. Регістри паралельно-послідовного типу мають входи як для паралельного, так і для послідовного запису інформації.

9.2 Паралельні регістри на D-тригерах

Для реалізації одноканальних паралельних регістрів застосовуються D-тригери, число яких відповідає числу входів регістра. У таких регістрах використовуються D-тригери, що мають інформаційний (D) і тактовий (C) входи, що описуються характеристичним рівнянням $Q_i^{t+1} = D_i^t C_i^t + \bar{Q}_i^t \bar{C}_i^t$.

В паралельному регістрі інформація одночасно по всіх входах. Прикладом такого регістра є паралельний регістр на тригерах D-типу (рис. 9.1).

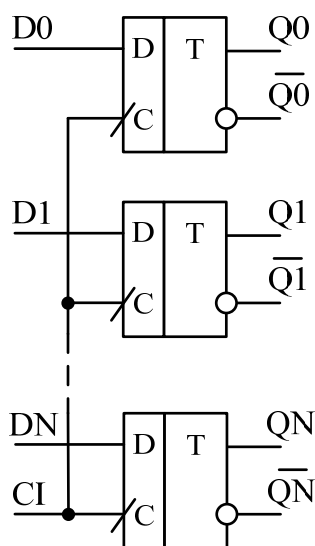


Рис. 9.1. Принципова схема паралельного регістра

В паралельному регістрі в момент приходу синхроімпульсу інформація одночасно запам'ятовується зі всіх входів D, та зберігається в регістрі до моменту приходу наступного синхроімпульсу. На рис. 9.2 показані часові діаграми роботи паралельного регістру.

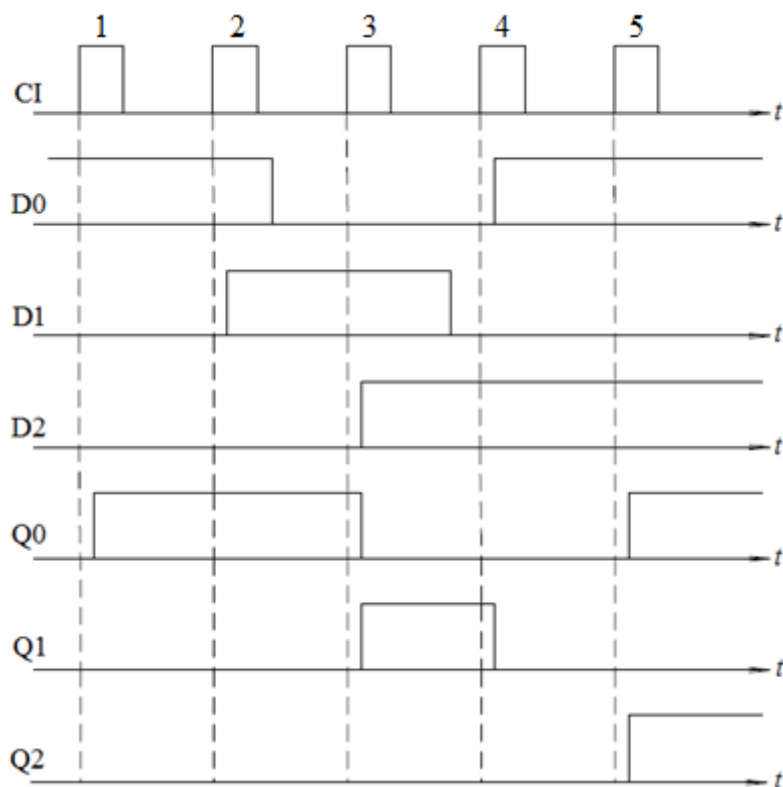


Рис. 9.2. Часові діаграми роботи паралельного регістра

Для реалізації паралельних регістрів можна використати RS-тригери, але для цього потрібно або попередньо встановити тригери регістра в нульовий стан, або порозрядного запису інформації. Це ускладнює схему регістра та вимагає додаткових сигналів для управління роботою регістра.

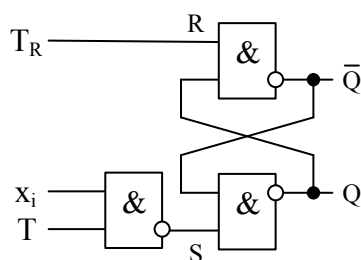


Рис. 9.3. Схема одного розряду паралельного регістра на RS-тригерах

$$Q_i^{t+1} = Q_i^t T_R + X_{2i} T .$$

Табл. 9.1. Таблиця переходів одного розряду регістра на RS-тригерах

T_R	T	Q_i^{t+1}	Операція
0	0	0	уст. в "0"
0	1	0	уст. в "0"
1	0	Q_i^t	збереження інформації
1	1	X_{2i}	запис інформації

9.3 Послідовні регістри

Послідовні регістри (регістри зсуву), як і паралельні, призначаються для короткочасного збереження інформації, представленій в двійковому коді і будуються на тригерах різних типів. У послідовних регістрах здійснюється логічна операція зсуву коду числа.

За методом введення і виведення інформації послідовні регістри підрозділяються на власне послідовні, послідовні та послідовно-паралельні.

У послідовних регістрах інформація вводиться і виводиться в послідовному коді, розряд за розрядом. У паралельно-послідовних регістрах інформація вводиться в паралельному, а виводиться в послідовному коді. У послідовно-паралельному, навпаки, введення в послідовному коді, а виведення у паралельному.

Зрушення коду може здійснюватися по одноктактній або багатотактній схемі. В одноктактному регістрі кожен імпульс синхронізації, викликає зрушення коду на один розряд.

Найбільш зручною вважається побудова регістрів на тригерах D-типу. На рис. 9.4 наведена принципова схема 3-х розрядного регістра зсуву. На схемі позначення DI відповідає англ. data input (вхідні данні). На рис. 9.5 наведені часові діаграми роботи послідовного регістра, а в табл. 9.2 показано як змінюється стан тригерів регістру в процесі роботи.

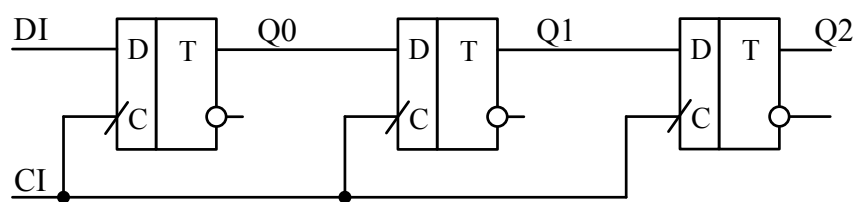


Рис. 9.4. Схема трьохрозрядного послідовного регістра на D-тригерах

Табл. 9.2. Таблиця переходів 3-х розрядного регістру зсуву

№ такту	DI	Q0	Q1	Q2
1	0	0	0	0
2	1	1	0	0
3	0	0	1	0
4	0	0	0	1
5	1	1	0	0

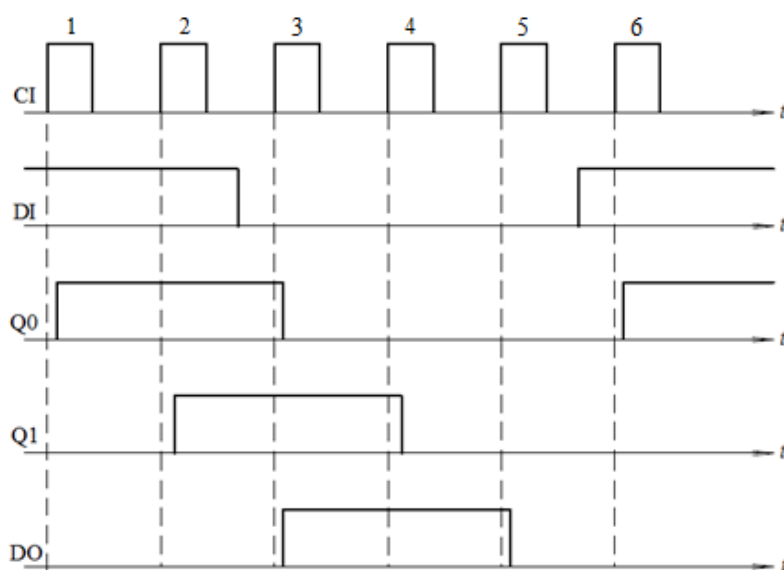


Рис. 9.5. Часові діаграми роботи послідовного регістра

Так як данні зсуваються в часі (кожен тригер зсуває дані на один такт), то такий регістр крім послідовного ще називається зсувним.

Реверсивний зсувний регістр дозволяє зсувати інформацію вправо чи вліво, в залежності від значень управляючих сигналів на додатковому вході. На

рис. 9.6 показана принципова схема реверсивного зсувного регістра з використанням цифрових перемикачів. В даній схемі сигнал на вході V управляє перемиканням напрямку зсуву інформації в регістрі.

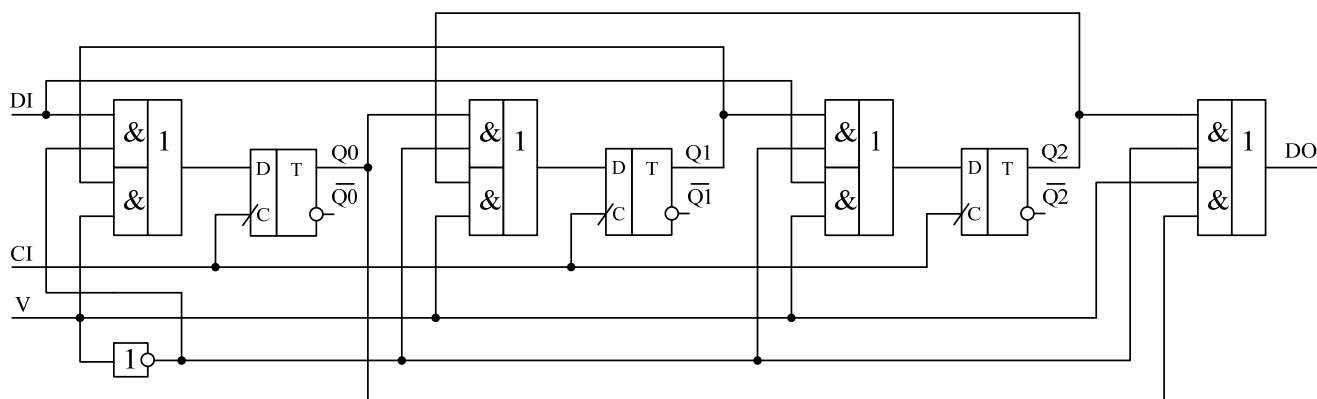


Рис. 9.6. Принципова схема 3-х розрядного реверсивного зсувного регістра

При подачі на вхід V рівня логічного "0" інформація зсувається зліва направо оскільки сигнал, що формується за допомогою інвертора з сигналу V, дозволяє проходження сигналів через верхній логічний елемент I кожного з електронних перемикачів, тобто зліва направо. При подачі на вхід V рівня логічної "1" дозволяється проходження сигналів через нижній елемент I, що забезпечує передавання інформації у зворотному напрямку.

9.4 Паралельно-послідовні і послідовно-паралельні регістри

Паралельно-послідовні і послідовно-паралельні регістри відрізняються від послідовних наявністю схем паралельного введення розрядів і виведення усіх розрядів регістра.

Найбільш просто реалізується послідовно-паралельний регістр. Достатньо вивести виходи кожного з тригерів на вихід і тоді послідовний регістр може реалізувати функції послідовно-паралельний регістра (рис. 9.7).

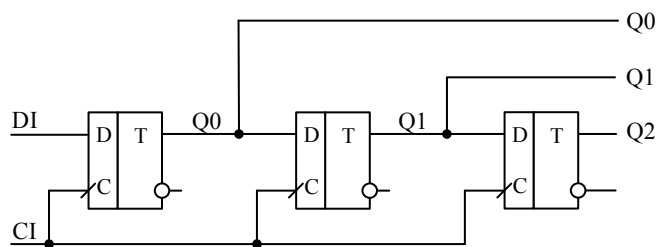


Рис. 9.6. Принципова схема 3-х розрядного послідовно-паралельного регістра

Для реалізації паралельно-послідовного регістра необхідно організувати запис інформації у кожен з тригерів регістру. На рис. 9.8 наведено один з можливих варіантів організації такого регістру на RSD-тригерах.

Входи R і S використовують для запису паралельного коду. Вхід D – для побудови зсувного регістра.

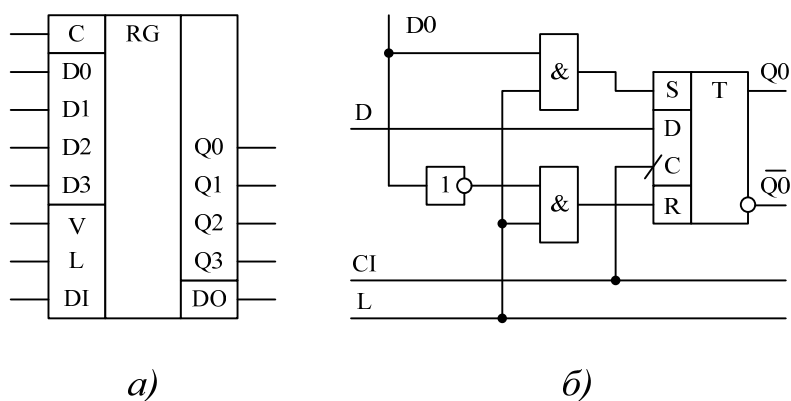


Рис. 9.8. Умовне графічне зображення паралельно-послідовного регістра (а) та принципова схема одного розряду (б)

На рис. 9.8,а введені наступні позначення: C – вхід синхронізації; D0, D1, D2, D3 – входи паралельного коду; V – вхід управління напрямом зсуву; L – вхід дозволу запису паралельного коду; DI – вхід послідовного коду; DO – вихід послідовного коду; Q0, Q1, Q2, Q3 – виходи паралельного коду.

9.5 Послідовні регістри зі зворотними зв'язками

При введенні в послідовний регістр зворотного зв'язку він перетворюється в замкнуте кільце, у якому впливом імпульсів, що зрушують, циркулює введена в регістр інформація. Такі регістри називаються кільцевим лічильником.

На рис. 9.9 наведений приклад побудови 3-розрядного регістра, в якому вихідний сигнал подається знову на вхід регістра. Для нормального функціонування такого регістра необхідно в один або два розряди перед початком роботи записати "1". На рис. 9.10 наведені часові діаграми, що пояснюють роботу такого пристрою, що має назву кільцевий лічильник. Перед початком роботи всі тригери встановлюються у "0" сигналом T_R , а перед подачею синхроімпульсів в перший тригер записується "1", шляхом подачі імпульсу на вхід S.

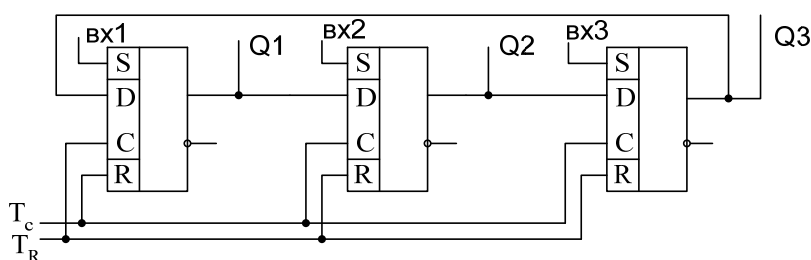


Рис. 9.9. Схема 3-розрядного кільцевого лічильника

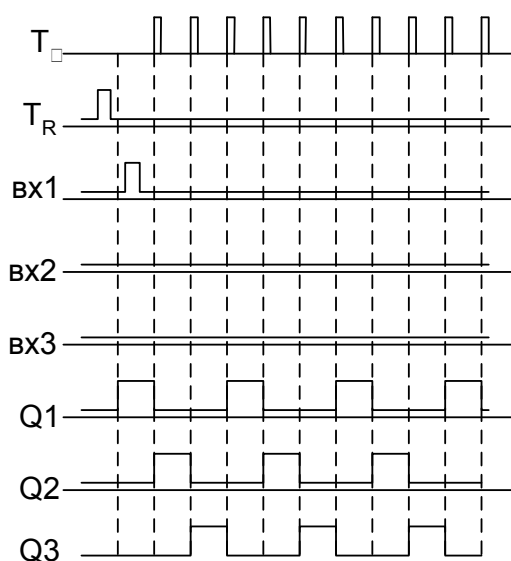


Рис. 9.10. Часові діаграми роботи кільцевого лічильника

Окрім звичайних регістрів випускаються регістри з трьома станами на виході. Це регістри, що мають додатковий вхід для перемикання виходу регістра в високоімпедансний стан (наприклад КР1533ИР23). Це – 8-ми розрядний паралельний регістр, що має вихідні буферні підсилювачі. Перемикання в третій стан здійснюється подачею на вхід \overline{EZ} високого рівня. Перехід в робочий стан здійснюється подачею низького рівня на цей вхід. На рис. 9.11. наведено його умовне графічне позначення та принципова схема.

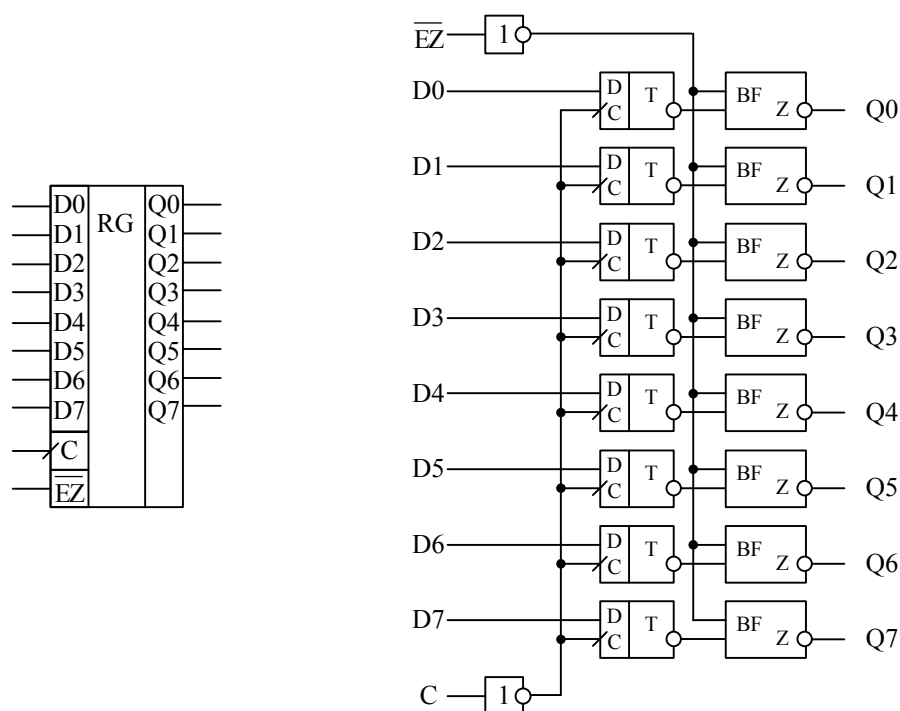


Рис. 9.11. Умовне графічне позначення та принципова схема регістра КР1533ИР23

9.6 Приклади використання регістрів

9.6.1 Робота декількох регістрів на загальну шину

При використанні регістрів з трьома станами на виході значно спрощується організація зв'язку декількох джерел інформації з одним приймачем цієї інформації. На рис. 9.12 наведена схема з'єднання двох регістрів з трьома ста-

нами з однією шиною.

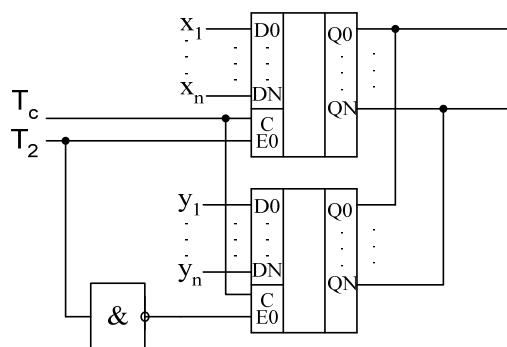


Рис. 9.12. Робота декількох регістрів на загальну шину

При подачі рівня логічного "0" на вхід T_2 активується верхній регістр, а виходи нижнього регістра переводяться у високоімпедансний стан. Якщо подати на вхід T_2 рівень логічної "1", то активується нижній регістр і інформація з його виходів надходить на вихідну шину.

9.6.2 Формувач квазігармонічного сигналу

Відомо, що сигнал будь-якої форми можна скласти з елементарних сходинок, частота слідування яких повинна перевищувати частоту вихідного сигналу у декілька разів. Висота сходинок змінюється у часі, а їх кількість зумовлює точність відтворення форми потрібного сигналу.

На рис. 9.13 наведено схему найпростішого формувача сигналу, що складається з 8 сходинок. Часові діаграми, що пояснюють його роботу наведені на рис. 9.14. Висота сходинок залежить від значень опорів резисторів $R_1 \dots R_4$.

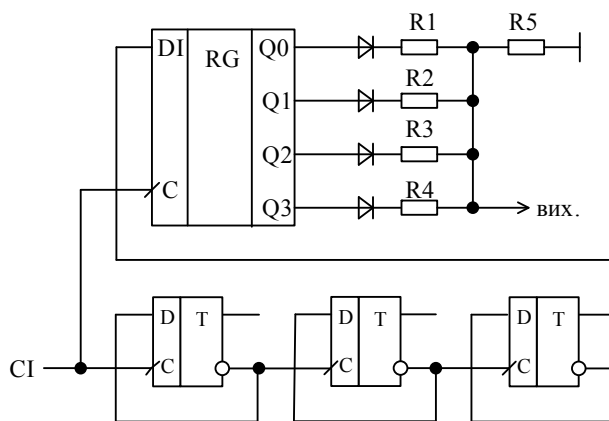


Рис. 9.13. Схема формувача квазігармонічного сигналу

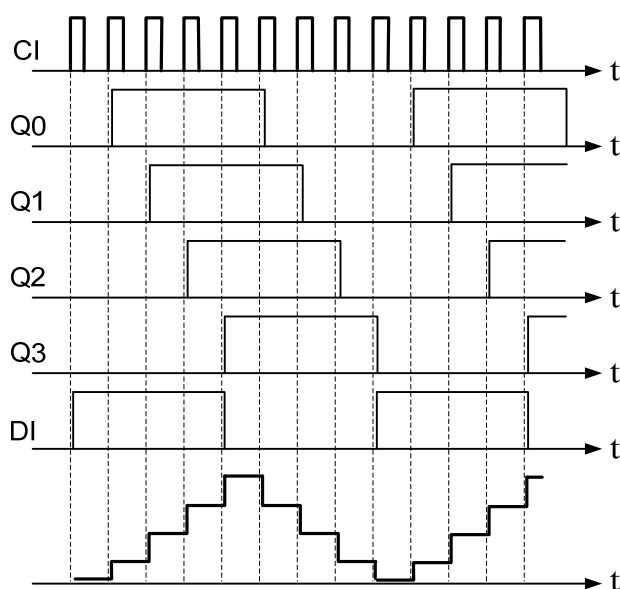


Рис. 9.14. Часові діаграми роботи формувача квазігармонічного сигналу

9.6.3 Перетворювач паралельного коду в послідовний

На рис. 9.15 наведена функціональна схема перетворювача паралельного коду в послідовний.

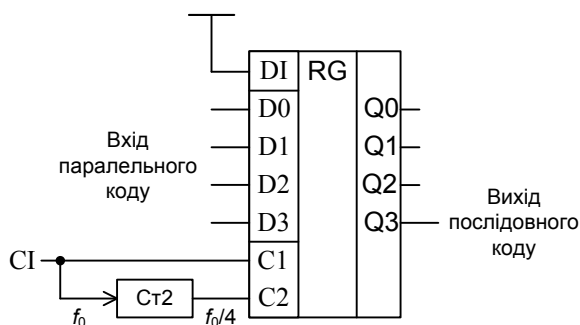


Рис. 9.15. Схема перетворювача паралельного коду в послідовний

На входи $D0\dots D3$ подається паралельний код, а з виходу $Q3$ знімається послідовний код. Часові діаграми, що пояснюють роботу пристрою наведені на рис. 9.16. На схемі вхід $C1$ регістра призначений для синхронізації зсуву послідовного коду, а вхід $C2$ – для синхронізації запису паралельного коду. На вхід послідовного занесення інформації DI поданий "0". Стрілками на діаграмі показано напрямок зчитування коду – від старшого розряду до молодшого. Як слідує з діаграм після першого імпульсу на вході $C2$ в регістр був записаний код 0001, а після четвертого синхроімпульсу на вході $C1$ на виході $Q3$ (вихід послідовного коду) теж буде сформовано код 0001. Нескладно пересвідчитись що після наступних синхроімпульсів на вході $C2$ процес перетворення паралельного коду в послідовний відбувається аналогічно.

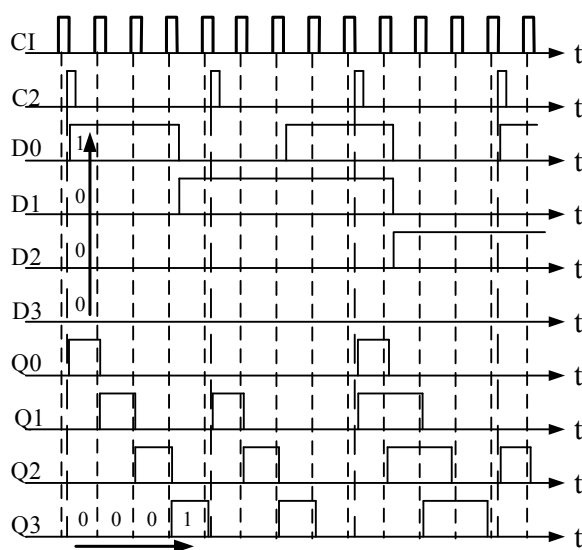


Рис. 9.16. Часові діаграми роботи перетворювача паралельного коду в послідовний

9.6.3 Перетворювач послідовного коду в паралельний

Для перетворення послідовного коду в паралельний можна використати два регістри (рис. 9.17). Перший регістр приймає послідовний код і після того, як він повністю буде введений, з виходів першого регістру він перезаписується у другий (паралельний) регістр, де і буде зберігатися до наступної зміни коду у першому регістрі.

Часові діаграми, що пояснюють роботу перетворювача послідовного коду у паралельний, наведені на рис. 9.18.

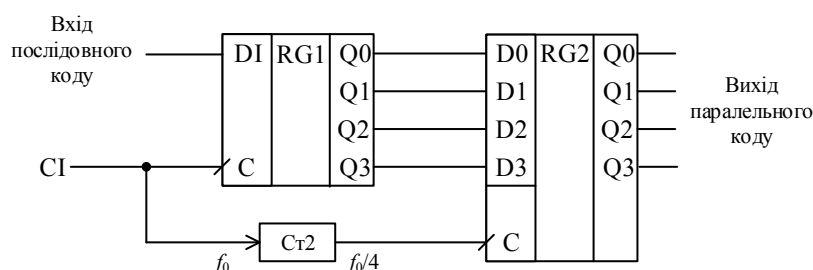


Рис. 9.17. Схема перетворювача послідовного коду в паралельний

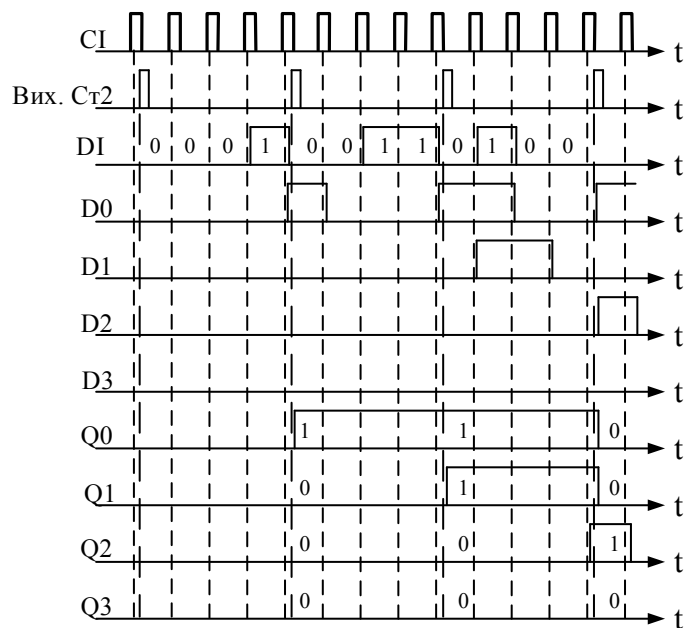


Рис. 9.18. Часові діаграми роботи перетворювача послідовного коду в паралельний

9.7 Контрольні запитання

1. Що таке регістр зсуву та які операції можна здійснити за допомогою регістрів?
2. По яких ознаках можна провести класифікацію регістрів?
3. Які регістри треба використовувати для побудови перетворювачів послідовного коду в паралельний?
4. Які регістри треба використовувати для побудови перетворювачів паралельного коду в послідовний?
5. Які типи тригерів можна використовувати для побудови регістрів?

10 ЛІЧИЛЬНИКИ ІМПУЛЬСІВ

10.1 Призначення та класифікація лічильників імпульсів

Лічильники здійснюють рахунок і збереження коду числа підрахованих сигналів. Під сигналами маються на увазі імпульси або перепади напруги. Найпростішим лічильником є лічильний тригер, що здійснює рахунок і збереження не більш двох сигналів. З'єднуючи кілька тригерів певним чином, можна одержати лічильник з необхідним коефіцієнтом рахунку $K_{\text{рах}}$. Інша назва цього коефіцієнту – коефіцієнт ділення. Він показує у скільки разів частота сигналу на виході лічильника буде нижчою за частоту сигналу на його вході $= f_{\text{вх}}/f_{\text{вих}}$.

Оскільки кожен тригер може знаходитися в одному з двох можливих станів, то лічильник, що складається з m тригерів, може мати $K_{\text{діл}} \leq 2^m$ станів. Перехід лічильника з одного стану в другий відбувається при подачі чергового вхідного сигналу.

Якщо перенумерувати послідовність вхідних сигналів від 0 до $K_{\text{діл}} - 1$, то кожному i -му номеру можна поставити у відповідність його двійковий еквівалент, виражений через стан лічильника, у який він перейде після приходу i -го