

8 ТРИГЕРНІ ЕЛЕМЕНТИ

8.1 Призначення та класифікація тригерів

Тригер являє собою пристрій з двома стійкими станами, що містить запам'ятовуючий елемент (власне тригер) і схему управління. Схема управління перетворює інформацію що надходить на її входи в комбінацію сигналів, що впливають на входи власне тригера, стан якого характеризує пристрій в цілому. Можливі і більш прості варіанти тригерів, наприклад такі, в яких взагалі відсутня схема управління.

Власне тригер називають ще бістабільним пристроєм, або фіксатором. Здатність запам'ятовувати і зберігати інформацію визначила цілий клас пристроїв.

Тригери розрізняються:

- за функціональною ознакою;
- за способом запису інформації в тригер.

Функціональний ознака визначає тип тригера, тобто його логічне рівняння, що характеризує стан входів і виходів тригера до і після його спрацьовування.

Спосіб запису інформації в тригер визначає часову діаграму його роботи. За цією ознакою тригери поділяються на дві групи: асинхронні і синхронні. У асинхронні тригери запис інформації здійснюється безпосередньо з надходженням інформаційного сигналу на його вхід. Запис інформації в синхронні (тактуемі) тригери здійснюється тільки за наявності дозволяючого тактового імпульсу на додатковий тактовий вхід. Тактуемі тригери, в свою чергу, поділяються на тригери, які працюють за рівнем тактового імпульсу (тригери із статичним управлінням) – прийом інформації відбувається протягом всієї тривалості імпульсу, і на тригери з динамічним входом – запис інформації проводиться по фронту або спаду тактового імпульсу. В інший час, незалежно від рівня тактового

імпульсу тригер не сприймає інформаційні сигнали, а отже, не змінює свого стану.

У зарубіжній інженерній практиці всі тригерні схеми розділяються на дві групи.

Перша з них – *flip-flop* – характеризується тим, що вибірка вхідних сигналів і відповідна зміна виходів визначається в моменти дії тактових часових сигналів (синхронні тригери).

Особливість другої групи схем – *latch* – полягає в тому, що вони змінюють свій стан при зміні вхідних сигналів незалежно від наявності чи відсутності часових тактових сигналів.

Тригери відносяться до класу пристроїв, що мають так званий парафазний вихід. Це означає, що стан тригера подається одночасно прямим і інверсним значеннями на його виходах Q і \bar{Q} (Q і \bar{Q} – внутрішні змінні).

Вихідні значення стану тригера в таблиці перемикань (істинності) прийнято відображати наступними символами:

- 0 – ($Q = 0$; $\bar{Q} = 1$);
- 1 – ($Q = 1$; $\bar{Q} = 0$);
- Q – стан тригера не змінюється при зміні інформації на його вході
- ($Q^n = Q^{n+1}$ або $Q^t = Q^{t+1}$);
- \bar{Q} – стан тригера змінюється на протилежний;
- X – невизначений стан тригера (цим символом позначається також заборонена комбінація значень змінних на вході тригера).

Залежність значень сигналів на виходах тригера від значень сигналів на його входах видається, як правило, у вигляді таблиці переходів тригера. Загальне число комбінацій змінних на вході дорівнює 2^n , де n – число зовнішніх змінних. При кожному наборі зовнішніх змінних тригер може знаходитися в одному з двох стійких станів. Таким чином, загальна кількість рядків у таблиці дорівнює $2 \cdot 2^n$. Повну таблицю переходів тригера, як правило, не використовують,

оскільки вона ускладнює сприйняття. Скорочення таблиці виконується за допомогою виключення тих станів, які є очевидними для нормального функціонування тригера і характерними для всіх типів тригерів або тригерів даного класу.

Відомо, що теоретично можна створити 5^{2^n} типів тригерів, де n – число зовнішніх змінних. Проте практичне застосування знайшло обмежена кількість типів, серед яких найбільш поширені, наприклад, RS, T, D, JK та комбіновані RSD і RSJK-тригери.

8.2 Асинхронні та синхронні RS-тригери

8.2.1 Асинхронный RS-тригер

RS-тригером називається логічний пристрій з двома стійкими станами, що має таких два інформаційних входи R (reset – скидання у початковий стан, за який прийнято "0") і S (set – встановлення у "1"), що при

$S = 1, R = 0$ тригер встановлюється у стан "1",

$R = 1, S = 0$ тригер встановлюється у стан "0",

$R = 0, S = 0$ тригер зберігає попередній стан $Q^t = Q^{t+1}$,

а стан $R = 1, S = 1$ – заборонений.

Зміна станів RS-тригера наведена в табл. 8.1, а умовне графічне позначення на схемах – на рис. 8.1.

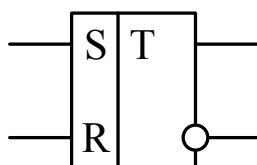


Рис. 8.1. Умовне графічне позначення RS-тригера

Табл. 8.1. Таблиця переходів RS-тригера

S	R	Q^t	Q^{t+1}
1	0	1	1
		0	1
0	1	1	0
		0	0
0	0	1	1
		0	0
1	1	X	

Одночасна подача двох активних сигналів на входи S і R заборонена, а якщо така ситуація все ж виникає, то стан тригера вважається невизначеним.

Зміну станів тригера можна показати за допомогою часових діаграм сигналів на його входах та виході (рис. 8.2).

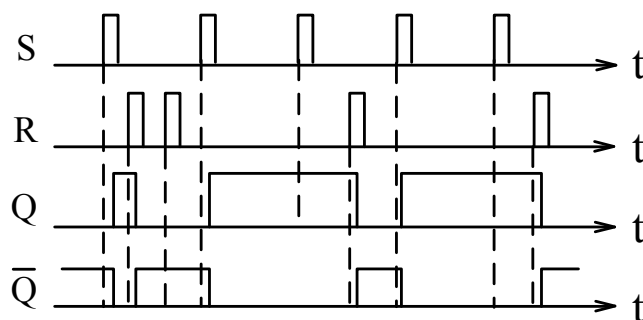


Рис. 8.2. Часові діаграми роботи RS-тригера

На рис. 8.2 показано, що тригер перемикається з деякою затримкою, величина якої залежить від технології виготовлення та серії інтегральних мікросхем. Практично, в залежності від серії, затримка може складати від 10 до 300 нс.

Ще одна форма опису функціонування тригера, це його характеристичне рівняння

$$Q_t = S \bar{R} Q_{t-1} \quad (8.1)$$

Вибравши як елементну базу базис АБО-НІ, перетворимо (8.1), використовуючи закон заперечення і правило де Моргана, до виду $Q_t = \overline{\overline{S} \overline{\overline{R} \overline{Q_{t-1}}}}$.

Схема, що відповідає цьому виразу, наведена на рис. 8.3.

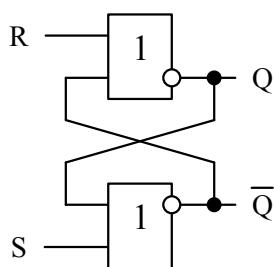


Рис. 8.3. Принципова схема RS-тригера

8.2.2 Асинхронный RS-триггер з інверсними входами

RS-тригером з інверсними входами називається логічний пристрій з двома стійкими станами, що має таких два інформаційних входи R (reset – скидання у початковий стан, за який прийнято "0") і S (set – встановлення у "1"), що при

$S = 0, R = 1$ тригер встановлюється у стан "1",

$R = 0, S = 1$ тригер встановлюється у стан "0",

$R = 1, S = 1$ тригер зберігає попередній стан $Q^t = Q^{t+1}$,

а стан $R = S = 0$ – заборонений.

Зміна станів RS-тригера наведена в табл. 8.2, а умовне графічне позначення на схемах – на рис. 8.4.

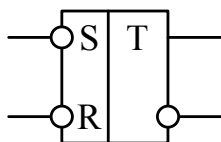


Рис. 8.4. Умовне графічне позначення RS-тригера з інверсними входами

Табл. 8.2. Таблиця переходів RS-тригера з інверсними входами

\bar{S}	\bar{R}	Q^t	Q^{t+1}
0	0	1	1
		0	1
1	0	1	0
		0	0
1	1	1	1
		0	0
0	0	X	

Одновременна подача двох активних сигналів (для цього типу тригерів це рівень логічного "0") на входи S і R заборонена, а якщо така ситуація все ж вини-

кає, то стан тригера вважається невизначеним.

Зміну станів тригера можна показати за допомогою часових діаграм сигналів на його входах та виході (рис. 8.5).

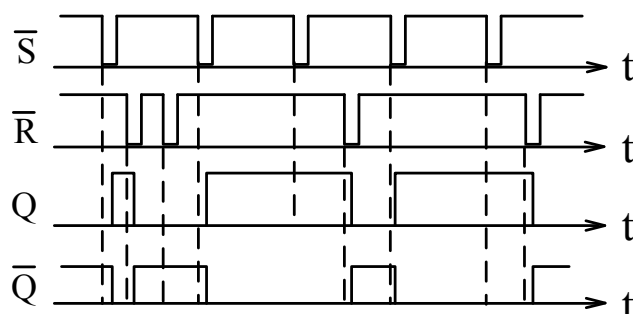


Рис. 8.5. Часові діаграми роботи RS-тригера з інверсними входами

Вибравши як елементну базу базис І–НІ, перетворимо (8.1), використовуючи правило де Моргана $Q_t = \overline{\overline{S} \overline{R} Q_t}$, $\overline{R} = \overline{S} = 1$.

Схема RS-тригера з інверсними входами побудована в базисі І–НІ наведена на рис. 8.6.

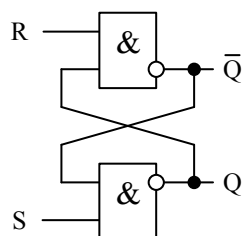


Рис. 8.6. Принципова схема RS-тригера з інверсними входами

8.2.3 Синхронний RS-тригер

На відміну від асинхронних тригерів, що перемикаються при подачі на один з входів активного рівня, синхронний тригер перемикається тільки при наявності дозволяючого (синхронізуючого) сигналу на вході управління, що частіше носить назву входу синхронізації. А сигнали що подають на цей вхід на-

зиваються синхросигналами або синхроімпульсами.

На рис. 8.7 наведена принципова схема синхронного RS-тригера. Він складається зі схеми управління (два логічних елемента I) та самого тригера. Як слідує з аналізу схеми, для того щоб на входах RS-тригера (на рис. 8.7 позначені як R' як S') з'явився сигнал необхідно щоб на вході CI була сформована "1". При відсутності сигналу на вході CI на виходах логічних елементів I формується рівень логічного "0" і RS-тригер зберігає попередній стан. Якщо сигнали на входах S та CI (або на входах R та CI) будуть збігатися у часі, то тоді, відповідно, на виході верхнього (нижнього) логічних елементів I буде формуватися сигнал управління і RS-тригер буде перемикатися.

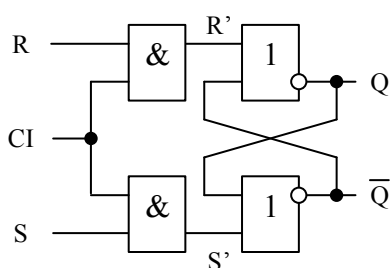


Рис. 8.7. Принципова схема синхронного RS-тригера

Часові діаграми, що пояснюють роботу синхронного RS-тригера, наведені на рис. 8.8.

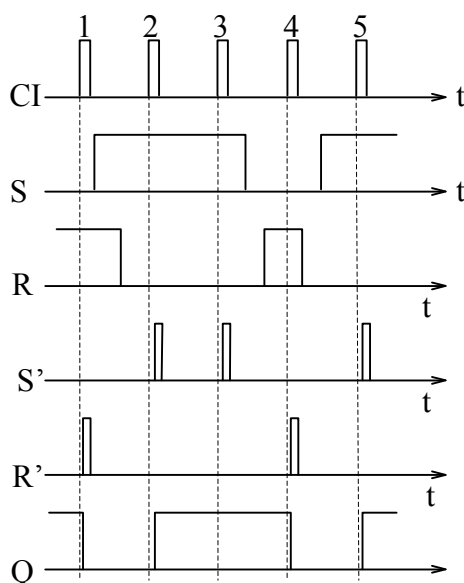


Рис. 8.8. Часові діаграми роботи синхронного RS-тригера

8.3 Тригери Т-типу

Це логічний пристрій із двома стійкими станами й одним інформаційним входом, що змінює стан на виході щоразу, коли на його вхід надходить імпульс. Цей тригер ще називається лічильним тригером. Логічне рівняння такого тригера має вигляд:

$$Q^{t+1} = \bar{T}^t Q^t + T^t \bar{Q}^t$$

Даний тригер у залежності від позначення може спрацьовувати або по фронті імпульсу (/), або по його спаду (\). Функціональне позначення Т-тригера, що спрацьовує по фронті, наведено на рис. 8.9,а, а тригера, що спрацьовує по спаду вхідного імпульсу – на рис. 8.9,б.

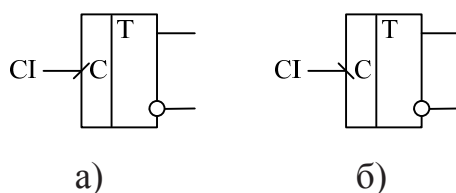


Рис. 8.9. Умовне графічне позначення Т-тригера

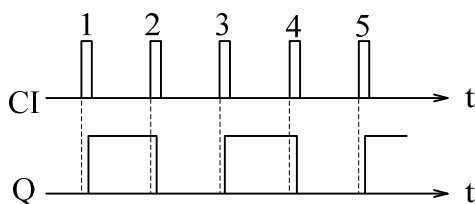


Рис. 8.10. Часові діаграми роботи Т-тригера

При виконанні тригера в базисі АБО-НІ, і при умові, що тригер керується перепадами з 1 в 0 на вході С (\), одержимо схему, показану на рис. 8.11.

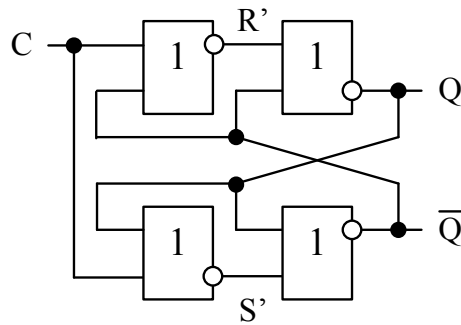


Рис. 8.11. Схема Т-тригера з імпульсним управлінням в базисі АБО-НІ

8.4 Тригери D-типу

Це логічний пристрій із двома стійкими станами й одним інформаційним входом D, що запам'ятовує інформацію яка надходить на вхід D в момент приходу синхроімпульсу на вхід C (синхронизації). Логічне рівняння такого тригера має вигляд

$$Q^{t+1} = D^t$$

Значення вихідного сигналу в момент часу t+1 збігається з кодом вхідного сигналу в момент часу t. Умовне позначення D-тригера наведено на рис. 8.12, а варіант реалізації на елементах АБО-НІ – на рис. 8.13.

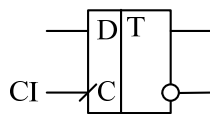


Рис. 8.12. Умовне графічне позначення D-тригера

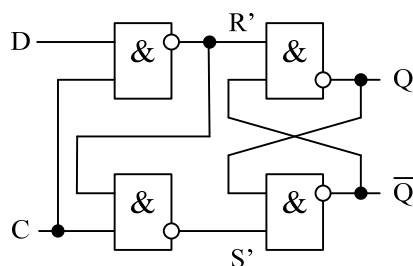


Рис. 8.13. Варіант реалізації D-тригера на елементах І-НІ

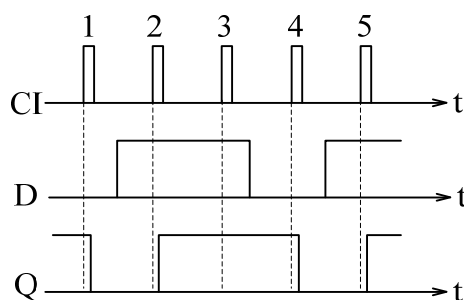


Рис. 8.14. Часові діаграми роботи D-тригера

Якщо вхід D з'єднати з виходом Q тригера то $D = \bar{Q}$, і значення вихідного сигналу в момент часу $t+1$ збігається з кодом на інверсному виході тригера в момент часу t , тобто $Q^{t+1} = \bar{T}^t Q^t + T^t \bar{Q}^t$ і тригер працює в режимі лічильного тригера. Схема включення D-тригера в режим T-тригера, наведена на рис. 8.15.

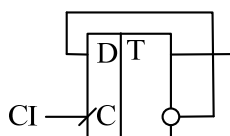


Рис. 8.15. Схема включення D-тригера в режим T-тригера

Слід зауважити, що T-тригери у вигляді окремих інтегральних мікросхем не випускаються, а реалізуються на D-тригерах або JK-тригерах.

8.5 Тригери JK-типу

Це логічний пристрій із двома стійкими станами і двома інформаційними входами J і K , що за умови $J=K=1$ здійснює інверсію попереднього стану (працює в режимі лічильного тригера), а в інших випадках працює як RS-тригер. При цьому вхід J еквівалентний входіві S , а вхід K – входіві R . Логічне рівняння, що описує роботу тригера має вигляд

$$Q^{n+1} = \bar{K}^n Q^n + J^n \bar{Q}^n .$$

Слід відмітити, що JK-тригера відноситься до синхронних тригерів і тому всі перемикання цього тригера відбуваються тільки у моменти надходження синхроімпульсів на його вхід синхронізації С. Умовне графічне позначення JK-тригера наведено на рис. 8.16.

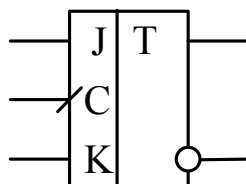


Рис. 8.16. Умовне графічне позначення JK-тригера

В табл. 8.3 наведено переходи JK-тригера при різних значеннях сигналів на входах J та K.

Табл. 8.3. Таблиця переходів JK-тригера

J ^t	K ^t	Q ^t	Q ^{t+1}
0	0	0	0
		1	1
1	0	0	1
		1	1
0	1	0	0
		1	0
1	1	0	1
		1	0

JK-тригер найбільш універсальний з розглянутих тригерів. Він може працювати в режимі T- або D-тригера, що витікає з таблиці функціонування. На рис. 8.17 наведено схеми підключення JK-тригера для реалізації цих видів тригерів.

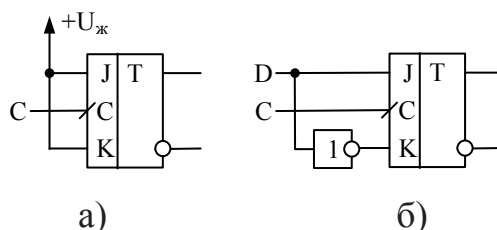


Рис. 8.17. Схеми підключення JK-тригера для реалізації T-тригера (а) та D-тригера (б)

8.6 Універсальні RSD- та RSJK-тригери

Універсальні тригери – тригери, що можуть працювати в різних режимах і як різні типи тригерів. Умовні графічні позначення універсальних тригерів наведені на рис. 8.18.

Розглянемо роботу таких тригерів.

RSJK-тригер (рис. 8.16,а) це логічний пристрій із двома стійкими станами і чотирма інформаційними входами RSJK, що за умови $S = R = 0$ працює як JK-тригер, а у всіх інших випадках, як асинхронний RS-тригер. Тобто, якщо

$S = 1, R = 0$, то тригер перемикається у "1"

$S = 0, R = 1$, то тригер перемикається у "0"

$S = R = 1$ – заборонена комбінація.

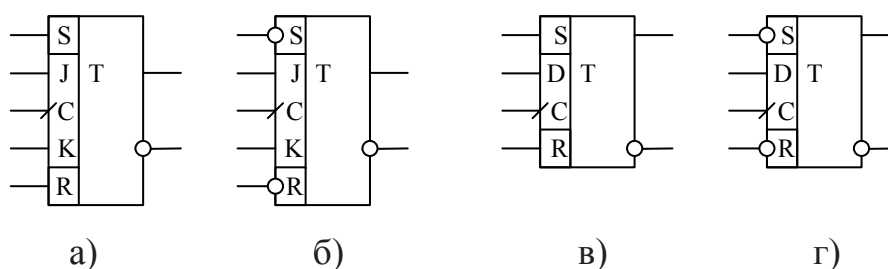


Рис. 8.16. Умовне графічне позначення RSJK- та RSD-тригерів з прямими та інверсними входами

RSJK-тригер з інверсними входами (рис. 8.16,б) це логічний пристрій із двома стійкими станами і чотирма інформаційними входами RSJK, що за умови

$S = R = 1$ працює як JK-тригер, а у всіх інших випадках, як асинхронний RS-тригер. Тобто, якщо

$S = 0, R = 1$, то тригер перемикається у "1"

$S = 1, R = 0$, то тригер перемикається у "0"

$S = R = 0$ – заборонена комбінація.

Аналогічно функціонують і RSD-тригери. Для тригера з прямими входами R та S активний рівень на цих входах "1", заборонена комбінація $S = R = 1$, а для RSD-тригера з інверсними входами S та R активний рівень на цих входах "0", а заборонена комбінація $S = R = 0$.

На рис. 8.17 наведений приклад реалізації RSD-тригера з інверсними входами в базисі І-НІ. Зі схеми витікає, що входи R та S мають пріоритет, оскільки вони зумовлюють, чи будуть працювати логічні елементи, до яких вони під'єднані.

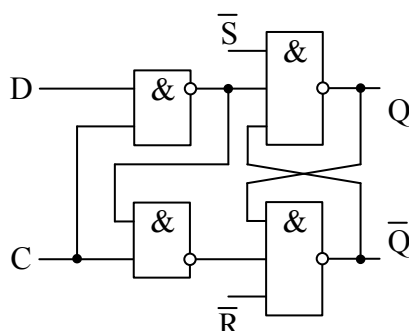


Рис. 8.17. Приклад реалізації RSD-тригера з інверсними входами в базисі І-НІ

Універсальні D- і JK-тригери широко використовуються при побудові лічильників, регістрів, суматорів, пристроїв управління, розподільників імпульсів, різних цифрових автоматів, при синтезі довільних тригерних структур і т.д.

8.7 Приклади використання тригерів

Стартостопний пристрій у пристроях управління – сукупність якого-

небудь різновиду RS-тригера і керованого їм вентиля. На рис. 8.18, а, б показані найпростіша реалізація стартостопного пристрою на трьох двохходових вентилях і часова діаграма його роботи. Відзначимо, конкретна реалізація розглянутих схем передбачається виконаною на елементах TTL-серій, наприклад К155 або КР1533. Тривалість імпульсів управління τ_1 і τ_2 (стартостопних імпульсів) повинна бути достатньої для спрацьовування RS-тригера й одночасно менше інтервалу часу між стартостопними імпульсами, для того щоб виключити можливість появи на входах забороненої комбінації.

Якщо стартостопне управління формується за допомогою контактних перемикачів типу реле, кнопок і т.п., то для поліпшення динамічних властивостей тригера і підвищення його завадостійкості "вільні" виводи мікросхем повинні бути зафіксовані на рівнях "0" та "1". Прикладом може служити схема, зображена на рис. 8.18, в. У цій схемі опір резисторів R_1 і R_2 вибираються зі співвідношення $R_1 = R_2 = U_{ex}^0 / I_{ex}^0$.

При використанні даної схеми потрібно враховувати наступну обставину: якщо сигнал "Старт" є одночасно сигналом установки нуля (фрагмент схеми, що виконаний пунктиром), то схема неприйнятна. Після короткочасного замикання контактів "Старт" у колі установки нуля повинний бути рівень "1", а в даній схемі $U_{вих}^0 = R_1 I_{ex}^0$, де $U_{вих}^0$ – напруга на виході, $R_1 I_{ex}^0$ – падіння напруги на резисторі від струму верхнього вентиля RS-тригера. Ця сума сприймається в колі установки нуля як рівень "0", що блокує роботу елементів, для яких призначено коло установки нуля.

Відзначений недолік не можна усунути збільшенням опорів резисторів R_1 і R_2 , тому що схема буде практично не захищеною від завад. Як правило, ця схема використовується як генератор одиночних імпульсів (рис. 8.18, з), що усуває деренчання контактів перемикача.

До переваг схем, зображених на рис. 8.18, в, з, можна віднести те, що резистори R_1 і R_2 не споживають потужності від джерела при розімкнутих контактах (точніше, ця потужність мізерно мала).

Недолік, відзначений для схеми на рис. 9.14, *в*, усунутий у схемі, показаній на рис. 8.18, *д* однак якщо за цією схемою виконувати генератор одиночних імпульсів, то резистор, у нормальному стані замкнутий на землю, буде споживати значну потужність від джерела живлення. Можлива реалізація RS-тригера на одному вентилі І та одному вентилі АБО (рис. 8.18, *е*). У даного тригера на відміну від нормальних схем виходи не додаткові і управління на входах здійснюється перепадами різної полярності.

Тригер може бути особливо корисним у випадках, коли необхідно виключити можливість змагань. Як впливає з діаграми рис. 8.18, *ж*, на якій враховані затримки поширення вентилів, сигнал на виході u_1 цілком лежить усередині інтервалу часу, що відповідає тривалості сигналу u_2 . Неважко переконатися, що на парах елементів І–НІ, АБО–НІ; АБО, І–НІ не можна реалізувати тригерну структуру з використанням двох перехресних колах зв'язку.

Запропонована реалізація RS-тригера на одному вентилі І або одному вентилі АБО (рис. 8.18, *з*, *і*). Припустимо, що управління схемою здійснюється контактами, які замикаються. На вході x_1 забезпечується рівень "1" через резистор R від джерела живлення, якщо тепер короткочасно замкнути контакт "Старт", то на виході встановиться рівень "1" і буде утримуватися, тому що $x_2 = u$. Короткочасне замикання контакту "Стоп" забезпечує появу "0" на виході й утримання його, по входу $x_2 = u$. Робота схеми, зображеної на рис. 8.18, *і*, відбувається аналогічно.

Схеми рис. 8.18, *з*, *і* мають незвичайну властивість – між сигналом по одному з входів і сигналом на виході тут немає вентиляної затримки; однак у тригера недолік – сигнал на одному з входів обов'язково збігається із сигналом на виході. При реалізації конкретної схеми функціонування схеми повинне забезпечуватися з передбаченням заходів захисту вентилів при одночасній дії сигналів "Старт" і "Стоп".

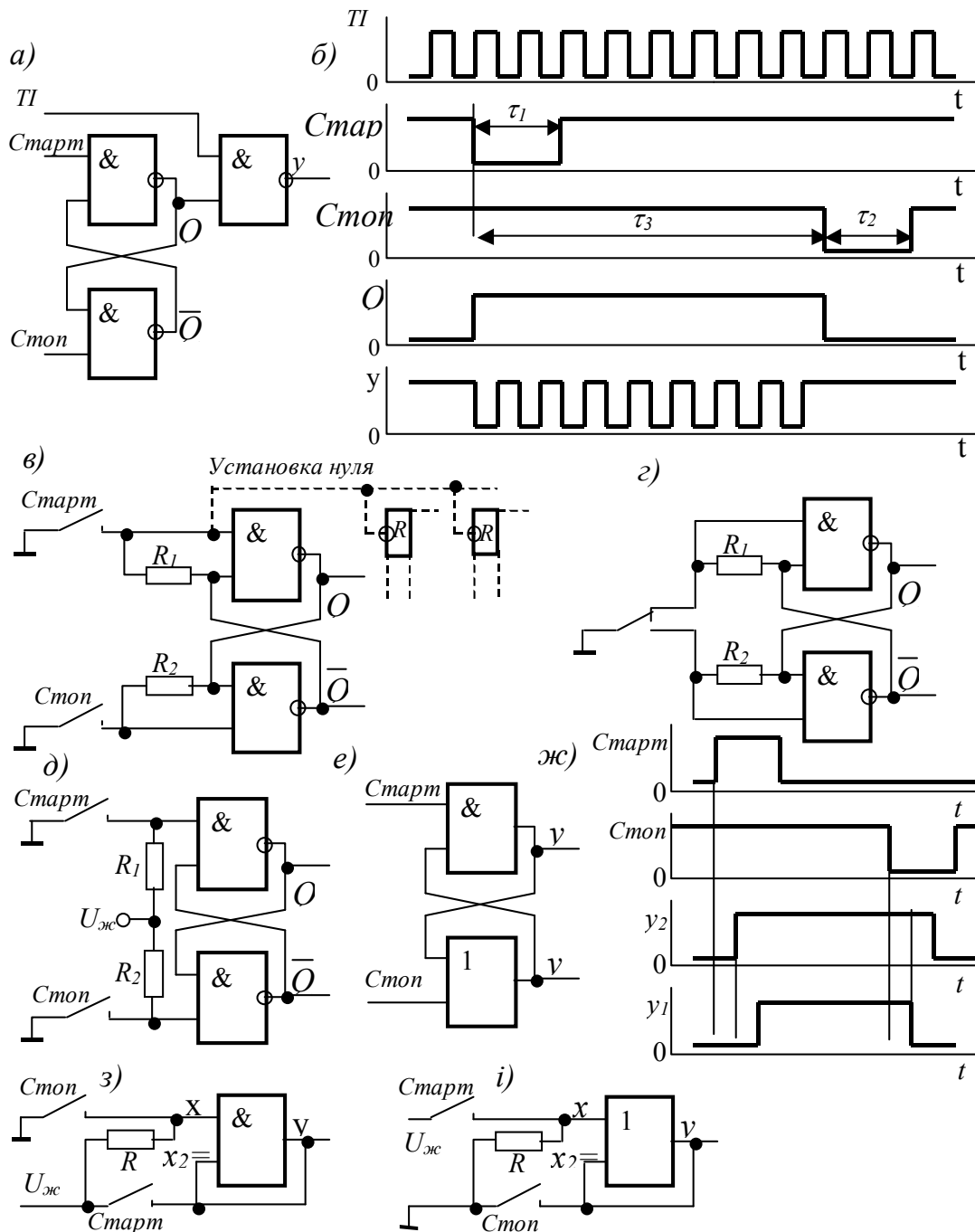


Рис. 8.18. Варіанти схем стартозастопних пристроїв з імпульсним управлінням: *a* – базова схема; *б...е, з, і* – реалізація структури RS-тригера; *б, ж* – відповідні часові діаграми роботи схем *a* та *e*.

В усіх схемах, показаних на рис. 8.18, управління RS-тригерами здійснюється імпульсними сигналами для усунення заборонених комбінацій на їхніх входах. Однак іноді потрібно забезпечити комбіноване управління: по одному вході-імпульсне, а по іншому – перепадом потенціалів. Приклади схем, що за-

довольняють цим вимогам, наведені на рис. 8.19.

Розглянемо роботу схеми рис. 8.19, а. Припустимо, що тригер перебуває в стані "0", а на входах R і S встановлені рівні логічної "1" (рис. 8.19, б). Так як на вході D постійно присутній рівень "0", переходи 01 підтверджують нульовий стан. Тригер можна встановити в стан "1" тільки імпульсним сигналом "Старт", а в стан "0" тригер перейде з приходом першого переходу 01 на вході "Стоп". Робота інших схем відбувається аналогічно.

На рис. 8.20 наведені варіанти стартостопних пристроїв з управлінням переходами по обох входах.

В цифрових пристроях різного призначення часто виникає задача виділення переходів 10 і 01 асинхронних сигналів, що з'являються в довільний момент часу, з одночасною прив'язкою виділених переходів до моменту часу, обумовленому тактовими імпульсами.

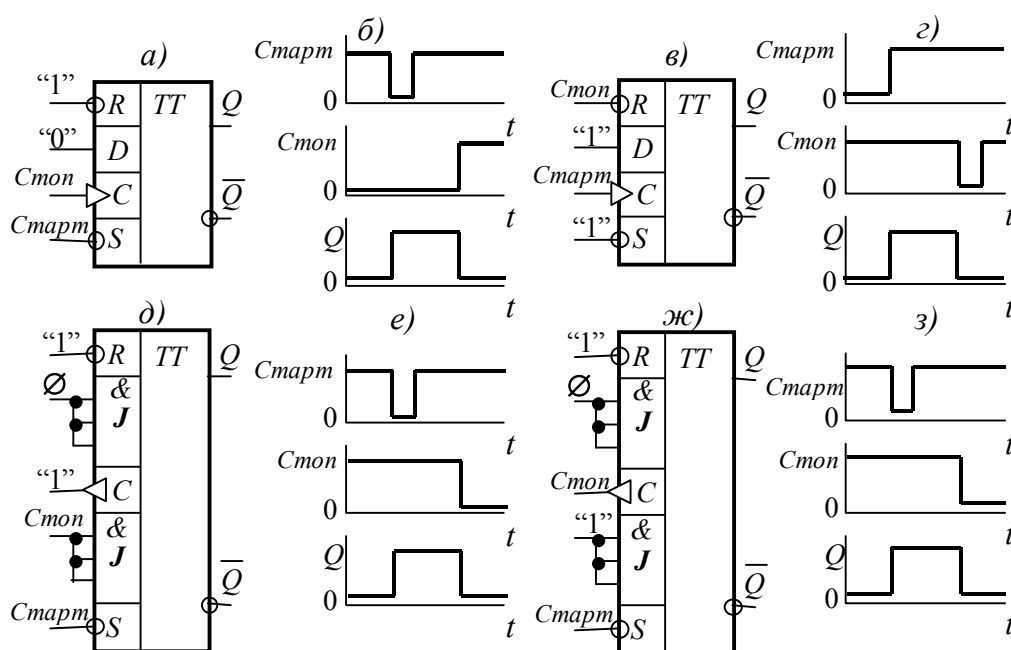


Рис. 8.19. Варіанти схем стартостопних пристроїв з комбінованим управлінням: а, в – відповідно на D- тригері при $D=0$ та $D=1$; б, з – відповідні часові діаграми роботи схем а та в; д, ж – відповідно схеми на JK- тригері в асинхронному та тактовому режимах; е, з – відповідні часові діаграми роботи схем д та ж.

Приклади таких схем наведені на рис. 8.21. Розглянемо роботу схеми, показаної на рис. 8.21, *а*. Задача, що вирішує дана схема, може бути сформульована в такий спосіб: розробити цифровий пристрій, який виділяє перехід 10 асинхронного сигналу x та поміщає виділений перехід у момент часу, який відповідає першому переходу 01 тактових імпульсів і виникає відразу після появи переходу 10 сигналу x , причому тривалість вихідного сигналу цифрового пристрою повинна дорівнювати тривалості тактового імпульсу.

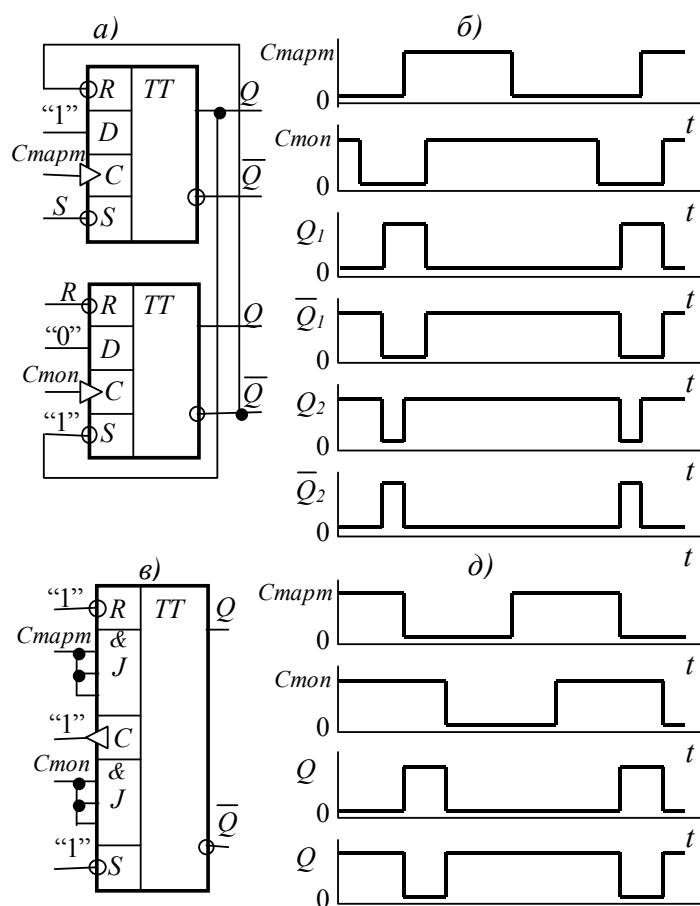


Рис. 8.20. Варіанти схем стартостопних пристроїв з управлінням переходами:

а – схема на D – тригерах; *в* – схема на JK- тригері ;
б, *г* – відповідні часові діаграми роботи схем *а* та *в*.

Якщо подати сигнал x на вхід D першого D-тригера, тоді кожен перехід

01 сигналу ТІ переводить тригер у стан $Q_1=x$, а вихід Q_1 з'єднати з входом D другого D-тригера, тоді кожен перехід 01 сигналу буде переводити тригер у стан $Q_2 = Q_1 = x$; зі зрушенням на половину періоду тактових імпульсів (при скважності, що дорівнює 2). З часової діаграми (рис. 8.21, б) випливає, що вихідний сигнал у описується рівнянням у $\overline{Q_1 Q_2}$.

Відзначимо, що отриманий пристрій ніяк не реагує на перехід 01 сигналу x .

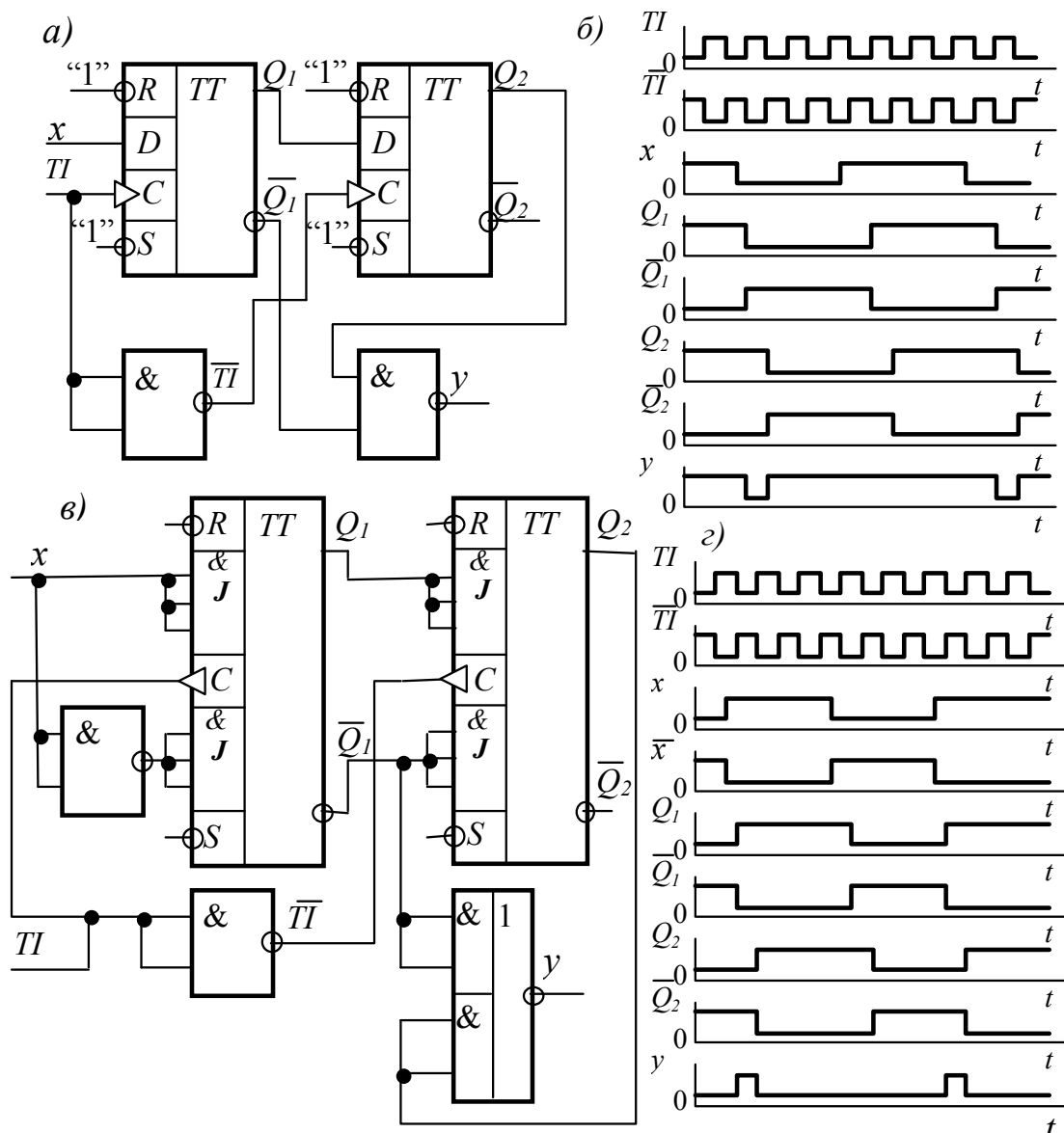


Рис. 8.21. Схеми пристроїв виділення і стробіювання переходів 10 та 01: а – 10 на D-тригерах; в – 01 на JK-тригерах;

б, г – відповідні часові діаграми роботи схем а та в.

Робота схеми, зображеної на рис. 8.21, в, що виділяє перехід 01 сигналу x та виконана на універсальних JK-тригерах пояснюється аналогічним образом.

8.8 Контрольні запитання

13. Що таке тригерні пристрої (тригери)? Перелічіть області їхнього використання.
14. Наведіть класифікацію тригерів по визначальним ознакам.
15. Якими параметрами і характеристиками визначається робота тригера в статичному та динамічному режимах?
16. Якими способами можна описати закон функціонування тригера?
17. Перелічіть різновиди RS - тригера.
18. Чим принципово відрізняється робота схеми T-тригера від роботи RS-тригера?
19. Що таке лічильний тригер? Що таке лічильний режим роботи універсального тригера?
20. Що таке синхронні тригери?
21. Сформулюйте визначення для універсального тригера.
22. Опишіть роботу універсального JK - тригера в асинхронному і синхронному режимах.