

12. Перелічіть відомі Вам способи запису логічних функцій. Дайте пояснення взаємозв'язку між ними.

13. Дайте пояснення суті теореми де Моргана. Приведіть приклади її використання.

14. Поясніть властивості карт мінтермів.

15. Які логічні операції використовуються для аналітичного способу мінімізації логічних функцій?

16. На яких властивостях карт Карно реалізується задача мінімізації логічних функцій?

17. Поясніть суть мінімізації логічних функцій методом Квайна.

6 СТРУКТУРИ БАЗОВИХ ЛОГІЧНИХ ЕЛЕМЕНТІВ

6.1 Характеристики цифрових сигналів

Цифрові сигнали лог. “0” і лог. “1”, які використовуються в курсі дискретної математики, виступають ідеалізацією тих сигналів, що мають місце в реальних електронних схемах.

У ключових схемах, що використовуються при двійковому представленні інформації, значенням лог. “0” та лог. “1” присвоюються обмежені діапазони напруг, які розміщуються в інтервалі від нуля до величини діючої напруги живлення логічних схем.

Не розглядаючи у даному параграфі технічні характеристики апаратних засобів для реалізації операцій над цифровими сигналами, визначимось лише з основними параметрами реальних сигналів.

Які б технічні засоби не використовувались, їх параметри загалом можливо оцінити за допомогою характеристики амплітудної характеристики, що являє собою залежність $U_{\text{вих}} = f(U_{\text{вх}})$ (рис. 6.1), де, відповідно, $U_{\text{вх}}$ та $U_{\text{вих}}$ – напру-

ги, що присутні на вході та виході електронного пристрою з урахуванням їх нестабільності.

Як відомо, логічні елементи у будь-яких цифрових пристроях мають достатньо розгалужені послідовні з'єднання. Тому, проходячи від одного логічного елемента до іншого, інформаційний сигнал може розсіювати свою енергію. Для запобігання цьому кожен логічний елемент повинен забезпечувати підсилення вхідного сигналу як за напругою, так і за потужністю. До того ж, відомо, що функціональна повнота логічних елементів обов'язково включає інверсію сигналу. Тому найпростішим логічним елементом може бути транзистор, включений за схемою із загальним емітером (загальним витоком для МДН-транзисторів), який, як відомо, інвертує вхідний сигнал. Зображена на рис. 6.1 діаграма відповідає амплітудній характеристиці інвертора. Це означає, що цифровий пристрій повинен не тільки формувати вихідні сигнали з параметрами, близькими до ідеальних "0" та "1", а й за рівнем вхідного сигналу відрізняти значення "0" та "1".

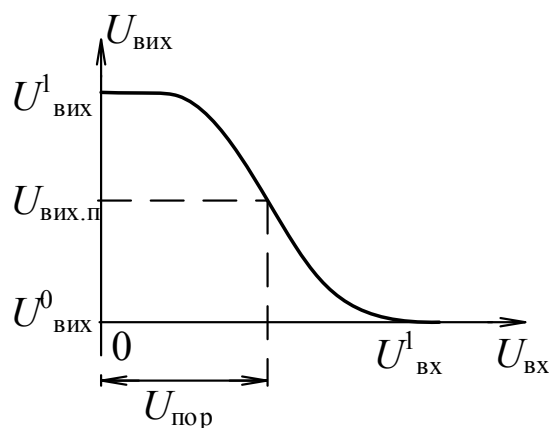


Рис. 6.1. Амплітудна характеристика логічного інвертора

Як рівень логічного нуля, так і одиниці для будь-якого логічного елемента є не конкретною величиною, а деяким визначеним діапазоном напруг. Переключення логічного елемента відбувається у той час, коли вхідна напруга переважає пороговий рівень $U_{пор}$. Отже сигналу вхідної одиниці відповідає діапазон напруги в інтервалі від $U_{пор}$ до $U_{вих}^1$, а сигналу вхідного нуля – діапазон від 0 до

$U_{\text{пор}}$. Під U^1 та U^0 розуміють номінальні значення напруги цифрового елемента в статичному режимі.

Кількісно порогове значення напруги визначається точкою на характеристиці $U_{\text{вих}} = f(U_{\text{вх}})$, в якій модуль диференційного коефіцієнта передачі цифрового елемента дорівнює одиниці.

Для найбільш поширених логічних елементів, виготовлених за технологією ТТЛ при напрузі живлення +5 В $U_{\text{пор}} \approx 1,2$ В (при кімнатній температурі), а для елементів КМОН – $U_{\text{пор}} = U_{\text{ж}}/2$, де $U_{\text{ж}}$ – напруга живлення логічного елемента.

Порогові рівні визначають стійкість до завад логічних елементів. Виділяють *статичну* та *динамічну* завадостійкість. *Статична завадостійкість* оцінюється як мінімальна різниця між значеннями вихідного та вхідного сигналів визначеного рівня:

Статична завадостійкість – це мінімальна величина завад на виході цифрового елемента, що може привести до зміни стану підключеного до нього логічного елемента тієї ж серії. Статична завадостійкість є параметром, який не залежить від часу, тобто тривалість завад набагато перевищує час зміни стану ключового елемента. Якщо ж час дії завад близький до часу переключення елемента, то така завада називається динамічною.

Цифрові сигнали характеризуються також часовими характеристиками, які здебільшого визначаються як динамічні параметри логічних ключів. До них відносяться:

$t^{1,0}$ – час переходу виходу елемента зі стану “1” в “0” – це інтервал часу, протягом якого напруга на виході елемента змінюється від рівня “1” до рівня “0”. Вказані рівні вимірюються відповідно при значеннях 0,9 та 0,1 амплітуди сигналу $U_{\text{М}}$ (рис. 6.2);

$t^{0,1}$ – час переходу вихідного сигналу з “0” в “1” – це інтервал часу, протягом якого напруга на виході елемента переходить з “0” в “1”;

$t_{\text{Ф}}$ – тривалість фронту сигналу – інтервал часу між значеннями сигналу на рівнях (0,1 – 0,9) $U_{\text{М}}$, при зміні сигналу з “0” до “1”;

t_c – тривалість спаду сигналу – інтервал часу між значеннями сигналу на рівнях $(0,1 - 0,9) U_M$, при зміні сигналу від “1” до “0”;

$t_3^{1,0}$ – час затримки включення елемента – інтервал часу між фронтом вхідного та спадом вихідного імпульсів, заміряні на рівні $0,5 U_M$;

$t_3^{0,1}$ – час затримки виключення елемента – інтервал часу між спадом вхідного та фронтом вихідного імпульсів, виміряні на рівні $0,5 U_M$ (рис. 6.2);

$t_{3.PC}$ – середній час затримки розповсюдження сигналу, який знаходиться за формулою:

$$t_{3.PC} = \frac{(t_3^{0,1} - t_3^{1,0})}{2}.$$

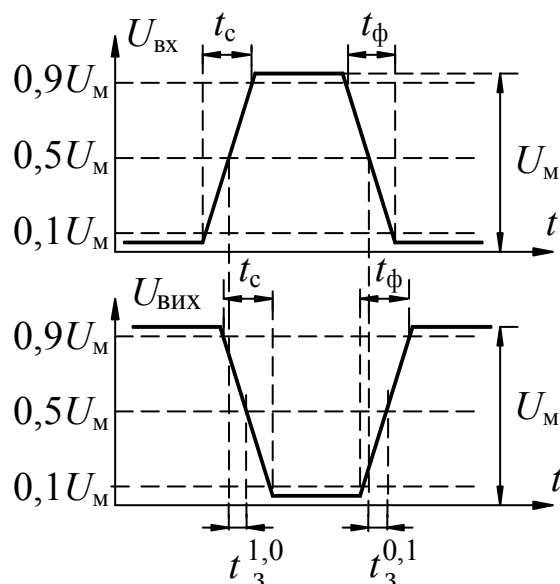


Рис. 6.2. Часові діаграми сигналів на вході та виході логічного елемента

6.2 Схеми найбільш поширених логічних елементів

В даний час при розробці інтегральних схем (ІС) найбільше поширення одержали наступні технології виготовлення логічних елементів:

- транзисторно-транзисторна логіка (ТТЛ);
- логіка на комплементарних польових транзисторах (КМОП);
- емітерно-зв'язана логіка (ЕЗЛ);

- інтегрально-інжекторна логіка (І²Л);
- діод-транзисторна логіка (ДТЛ);
- логіка на однотипних польових транзисторах (*n*-МОН і *p*-МОН).

Логічні схеми, що виготовляються на різній конструктивно-технологічній основі, значно розрізняються за своїми характеристиками, навіть якщо вони реалізують однакові функції. У кожного з вказаних видів схемотехніки є свої переваги. Так, ЕЗЛ відрізняється високою швидкістю, хоч деякі різновиди ТТЛ наближаються до неї по цьому параметру. Як *p*-МОН, так і *n*-МОН логіка широко застосовуються в мікропроцесорах, а КМОН схемотехніка користується перевагою, коли важливе зменшення споживаної потужності.

Динамічні МОН-структури використовуються для побудови різних запам'ятовуваних пристроїв; вони мають просту організацію, в якій логічний стан визначається зарядом ємності, внутрішньо властивої логічному елементу. І²Л застосовується в інтегральних схемах.

Самими розповсюдженими на сьогоднішній день є ІС, що реалізують ТТЛ і її різновиди. Інтегральні схеми даного типу мають середню швидкість F_{\max} 30...100 МГц і середню споживану потужність.

Логічним елементом називається пристрій, що реалізує тільки одну бульову функцію. Такі елементи називають одно-функціональними на відміну від функціональних елементів, що реалізують декілька бульових функцій. У функціональному елементі можуть використовуватися декілька логічних елементів. За способом кодування двійкових змінних логічні елементи цифрових пристроїв поділяють на імпульсні, динамічні, потенційні, імпульсно-потенційні та фазові.

В імпульсних елементах "1" представляється наявністю електричного імпульсу напруги або струму, а "0" – відсутністю відповідного імпульсу.

В динамічних елементах "1" представляється пачкою імпульсів або потенціалом, що поновлюється через необхідний інтервал часу, а "0" – відсутністю імпульсів (або навпаки).

В потенційних логічних елементах (ПЛЕ) вхідні і вихідні двійкові змінні кодуються різною величиною електричного потенціалу.

В імпульсно-потенційних елементах на входи елементів можуть подаватися як потенційні рівні, так і електричні імпульси, причому вихідні сигнали, як правило, мають імпульсний характер. Розподіл сигналів на імпульсні і потенційні відносний. Прийнято тип сигналу визначати через тривалість такту, залежно від частоти тактового генератора цифрового пристрою. Імпульсний сигнал. сигнал з тривалістю менше тривалості такту. Потенційний сигнал. сигнал з тривалістю не менше тривалості такту.

В фазових елементах застосовуються сигнали у вигляді синусоїдальної напруги, а значення "1" і "0" двійкових змінних кодуються фазою синусоїдальної напруги відносно опорної напруги. Фазовий принцип кодування двійкових змінних застосовується, як правило, в пристроях аналогово-цифрового типу.

Реалізація характеристик, близьких до ідеальних, пов'язана з відомими труднощами внаслідок технологічного розкиду параметрів мікросхем при виготовленні, зміни напруг порогів в залежності від зміни напруги живлення і температури навколишнього середовища в процесі експлуатації. Тому реально зони статичної завадостійкості для кожного типу ЛЕ встановлюють на основі статистичного аналізу амплітудних передавальних характеристик. Напруги статичної завад вказуються в паспорті на логічний елемент і гарантуються для найгіршого випадку роботи даного елемента.

При зіставленні амплітудних передавальних характеристик ЛЕ різних типів часто використовують не абсолютні значення статичної завадостійкості, а їх відношення до мінімального логічного перепаду: $K_{пер}^H = U_{пер}^H / U_L$, $K_{пер}^6 = U_{пер}^6 / U_L$.

Чим ближче амплітудна передавальна характеристика до ідеальної, тим ближче значення цих коефіцієнтів до 0,5.

Статичні параметри визначають умови формування і значення напруг високого і низького рівнів на виході ЛЕ, його навантажувальну спроможність, споживану потужність за заданими напругами живлення, навантаження і тем-

пературою навколишнього середовища.

До статичних параметрів ЛЕ відносяться:

- вихідні і вхідні напруги лог. "0" і "1" ($U_{\text{вих}}^0, U_{\text{вих}}^1, U_{\text{вх}}^0, U_{\text{вх}}^1$);
- вхідні і вихідні порогові напруги лог. "0" і "1" ($U_{\text{вих.пор}}^0, U_{\text{вих.пор}}^1, U_{\text{вх.пор}}^0, U_{\text{вх.пор}}^1$);
- вхідні і вихідні струми лог. "0" і "1" ($I_{\text{вх}}^0, I_{\text{вх}}^1, I_{\text{вих}}^0, I_{\text{вих}}^1$);
- струми споживання в стані лог. "0" і "1" ($I_{\text{сп}}^0, I_{\text{сп}}^1$);
- споживана потужність ($P_{\text{сп}}$).

Порогова напруга логічного елемента $U_{\text{пор}}$ є вхідною напругою, малі відхилення від якої в ту або іншу сторону приводять до переходу логічного елемента на його виході з стану "1" в стан "0" або зворотно.

Вхідний струм ЛЕ задається для несприятливого режиму роботи в межах допустимих температур навколишнього середовища та напруги живлення як для рівня лог. "0" ($I_{\text{вх}}^0$), так і для рівня лог. "1" ($I_{\text{вх}}^1$). Вихідні струми $I_{\text{вих}}^0, I_{\text{вих}}^1$ характеризують навантажувальну здатність ЛЕ. (Струми, що втікають, мають позитивний знак, а струми, що витікають, негативний знак.) Завадостійкість визначається відносно цих струмів. Тому збільшення коефіцієнта розгалуження приводить до зниження завадостійкості.

Вхідний струм лог. "1" $I_{\text{вх}}^1$ визначається як вхідний струм для напруги лог. "1" на вході ЛЕ.

$I_{\text{вх}}^0$ - вхідний струм лог. "0", визначається як вхідний струм для напруги лог. "0" на вході ЛЕ.

$I_{\text{вих}}^1$ - вихідний струм лог. "1", визначається як вихідний струм для напруги лог. "1" на виході ЛЕ.

$I_{\text{вих}}^0$ - вихідний струм лог. "0", визначається як вихідний струм для напруги лог. "0" на виході ЛЕ.

Струм споживання від джерела (джерел) живлення ЛЕ ($I_{\text{сп}}$) залежить від типу

ЛЕ. Для ЛЕ ЕЗЛ він майже постійний (якщо не брати до уваги навантаження) і не залежить від його логічного стану, для ЛЕ ТТЛ струм має різні значення для стану "0" і "1". Крім того, ЛЕ ТТЛ мають викиди струму під час перехідних процесів при перемиканні ЛЕ, що приводить до істотного збільшення струму споживання на високих частотах. Амплітуда і тривалість викиду залежать від характеру та величини навантаження, схемотехніки вихідного каскаду ЛЕ ТТЛ, довжини лінії зв'язку та ін.

Вхідний опір логічного елемента $R_{вх}$. відношення приросту вхідної напруги до приросту вхідного струму (визначається для двох значень вхідного сигналу: $R_{вх}^0$ та $R_{вх}^1$).

Вихідний опір логічного елемента $R_{вих}$. відношення приросту вихідної напруги до приросту вихідного струму (визначається для двох значень вихідного сигналу: $R_{вих}^0$ та $R_{вих}^1$).

Динамічні параметри. Швидкодія ЛЕ при перемиканні визначається електричною схемою, технологією виготовлення і характером навантаження. Для ідентифікації вимірювань динамічних параметрів в технічній документації на ІС наводяться параметри еквівалентного навантаження, встановлюються вимоги до амплітуди і тривалості фронту вхідного сигналу.

На рис. 6.2 наведені часові діаграми, що пояснюють зміну характеристик вихідного імпульсу в залежності від параметрів вхідного імпульсу і властивостей елемента.

Гранична робоча частота елемента задає діапазон робочих частот сигналів, переданих елементом без спотворення так, щоб за час одного такту, у схемі встигали завершитися перехідні процеси.

Частота перемикання. максимальна частота, на якій у найгірших умовах гарантується спрацьовування лічильного тригера, складеного з логічних елементів даної серії.

Навантажувальна здатність ЛЕ характеризує його здатність одержувати сигнал від декількох джерел інформації й одночасно бути джерелом інформації для ряду інших елементів. Для чисельної характеристики навантажуваль-

ної здатності ЛЕ використовуються два коефіцієнти: m -коефіцієнт розгалуження і n -коефіцієнт об'єднання.

- 1) m -коефіцієнт розгалуження. характеризує кількість входів для елементів даної серії, що допускається для підключення до виходу даного елемента – $m = 10...100$. Навантажувальна здатність елемента характеризується його вихідним опором $R_{вих}$.
- 2) n -коефіцієнт об'єднання. характеризується кількістю входів даного логічного елемента (від двох і більше).

6.3 Транзисторно-транзисторна логіка

Ця технологія має, мабуть, найбільше число різновидів логічних елементів, тому що тривалість її використання дозволила виявити багато з властивих їй обмежень та способів їх подолання. Схемотехнічно більшість ІС, що входять до складу серій ТТЛ, виконано на основі комбінації двох базових схем: елемента І-НІ і розширника по АБО.

6.3.1 Базовий елемент ТТЛ-логіки

Елемент І-НІ (рис. 6.3) може бути представлений послідовним з'єднанням трьох каскадів:

- вхідного багатомітерного транзистора $VT1$ з резистором $R1$ і діодами $VD_0...VD_{n-i}$, що реалізують логічну операцію І;
- фазорозщеплювача на транзисторі $VT2$, резисторі $R2$ і колі нелінійної корекції $R3, R4$ та $VT3$;
- двотактного вихідного підсилювача на транзисторах $VT4$ і $VT5$, резисторі $R5$ та діоді VD_n .

Розширник по АБО (рис. 6.4) по суті повторює перші два каскади елемента І-НІ і містить вхідний багатомітерний транзистор $VT1$ з резистором $R1$ і

транзистор $VT2$ фазорозщеплювача.

Об'єднання елементів І-НІ і розширника по АБО шляхом з'єднання точок a і b дозволяє одержати ЛЕ, що реалізує послідовність операцій І-АБО-НІ.

Розглянемо роботу елемента І-НІ (рис. 6.3). Припустимо, що хоча б один вхід елемента X_0, \dots, X_{n-1} безпосередньо підключений до спільної шини, тобто на нього подана напруга лог. "0". У цьому випадку перехід багатомітерного транзистора (БЕ) $VT1$ насичений струмом, що протікає від джерела живлення через резистор $R1$. Струм і напруга колектора будуть мало відрізнятися від нульових, тому транзистор $VT2$ фазорозщеплювача виявляється закритим.

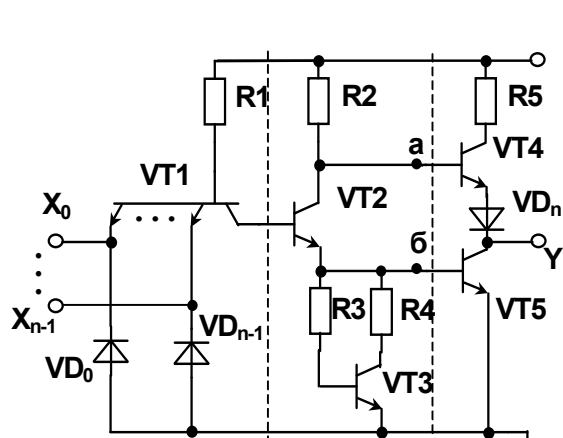


Рис. 6.3. Принципова електрична схема ЛЕ І-НІ ТТЛ

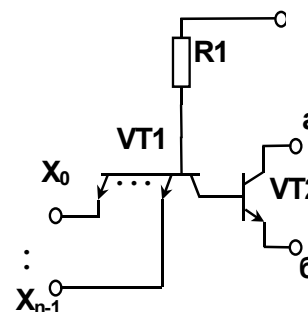


Рис. 6.4. Принципова електрична схема розширника АБО серії ТТЛ

Так як емітерний струм транзистора $VT2$ практично дорівнює нулю, буде закритий і транзистор $VT5$. Струм, що протікає через резистор $R2$, втікає в базу транзистора $VT4$, насичує його. Тому напруга присутня на виході Y ЛЕ близька до напруги живлення і визначається виразом

$$U_{\text{вих}}^1 = U_{\text{ж}} - I_{\text{вих}} R_5 - U_{\text{ке}VT4} - U_{VD_n}.$$

Таким чином, при наявності на кожному із входів схеми напруги низько-

го рівня, напруга на його виході буде мати високий рівень. Припустимо тепер, що на усі входи ЛЕ поданий високий рівень напруги. У цьому випадку всі емітерні переходи багатоемітерного транзистора $VT1$ виявляються закритими. При цьому його колекторний перехід зміщається в прямому напрямку і по колу резистор $R1$, колекторний перехід транзистора $VT1$ та послідовно з'єднані емітерним переходом транзистори $VT2$ і $VT5$ буде протікати струм. Цей струм насичує транзистори $VT2$ і $VT5$, і на виході у ЛЕ встановиться низька напруга, чисельно рівна напрузі насичення транзистора $VT5$:

$$U_{вих}^0 = U_{KEVT 5} = I_{вих} r_{вихVT 5}.$$

Так як транзистор $VT2$ насичений, то присутня на його колекторі напруга виявляється недостатньою для прямого зсуву двох послідовно включених $p-n$ -переходів (емітерний перехід $VT4$ і діод VD_n). Транзистор $VT4$ буде закритий.

Таким чином, якщо на усіх входах схеми присутня висока напруга, на виході ЛЕ будемо мати напругу низького рівня.

Паралельне з'єднання кількох виходів таких елементів неприпустимо, тому що формування на них сигналів різних рівнів призведе до виходу з строю транзисторів вихідного підсилювача потужності. Для позитивної логіки описаний алгоритм роботи відповідає визначенню операції І-НІ:

$$y = \overline{x_0 x_1 x_{n-1}}.$$

Виконання вихідного каскаду елемента за двотактною схемою дозволяє одночасно вирішити дві задачі:

1. Підвищити швидкодію елемента. Навантаження ЛЕ, як правило, носить ємнісний характер, і застосування двотактного вихідного каскаду дозволяє збільшити струм перезаряду ємності навантаження.

2. Знизити споживання. У сталому режимі лог. "0" через вихідний каскад протікає тільки струм навантаження.

У вхідному колі багатоємітерного транзистора $VT1$ включені додаткові діоди $VD_0 \dots VD_{n-1}$, що захищають елемент від появи на його вході неприпустимих напруг зворотної полярності.

ІС ТТЛ, що випускаються в межах СНД, можна розділити на такі групи:

- стандартні. серія 155, 133;
- швидкодіючі з діодами Шоткі. серії 530, 531, 1531;
- малопотужні швидкодіючі з діодами Шоткі. серії 533, 555, 1533.

Елементи всіх цих серій практично виконані за єдиною схемою. Основне розходження даних серій полягає в їхній швидкодії і споживаній потужності. Типові параметри ЛЕ різних серій ТТЛ наведені в табл. 6.1.

Напруга всіх перелічених вище серій ЛЕ ТТЛ дорівнює $+5V \pm 5\%$ або $+5V \pm 10\%$ у залежності від типу виконання. Однак сучасні технології дозволять випускати логічні елементи ТТЛ з напругами живлення від 1,2 В, що зберігатимуть працездатність при зменшенні напруги до 0,8 В.

Табл. 6.1. Параметри ЛЕ серій ТТЛ

| Серія ІС | $t_{зам порівн}$ | $P_{сн}$, мВт | $U^1_{вих}$, В | $U^0_{вих}$, В | $I^1_{вих}$, мА | $I^0_{вих}$, мА |
|----------|------------------|----------------|-----------------|-----------------|------------------|------------------|
| К155 | 10 | 10 | 2,4 | 0,4 | -0,4 | 16 |
| К531 | 3 | 20 | 2,7 | 0,5 | -1,0 | 20 |
| К555 | 10 | 2,0 | 2,7 | 0,5 | -0,4 | 8,1 |

6.3.2 Елемент з відкритим колектором

Якщо в схемі базового елемента виключити знову елементи R_5 , VT_4 і VD_n , то одержимо схему з відкритим колектором. Умовне графічне позначення логічного елемента з відкритим колектором наведено на рис. 6.5.

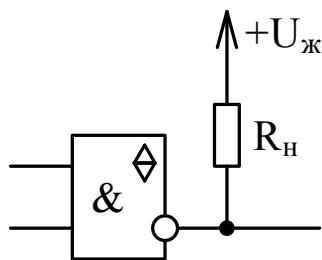


Рис. 6.5. Умовне графічне позначення логічного елемента з відкритим колектором

Щоб така схема сформувала на виході 1 потрібно R_n включати між виходом і джерелом живлення. У цьому випадку схема працює, як розглянутий раніше базовий елемент ТТЛ. Схему з відкритим колектором можна використовувати для підключення елементів індикації, реле й інших навантажень, що вимагають напруги живлення ≥ 5 В. На рис. 6.6 наведено приклад використання логічного елемента з відкритим колектором для управління електромагнітним реле.

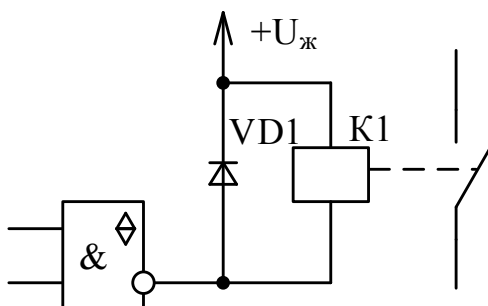


Рис. 6.6. Використання логічного елемента з відкритим колектором для управління електромагнітним реле

6.3.3 Схема з трьома станами вихода

У складі більшості серій інтегральних мікросхем існують елементи з трьома станами виходу. Вони мають вхід EZ (у зарубіжній літературі OE – Output Enable – дозвіл виходу), що управляє, або скорочено просто E (Enable), одне зі значень сигналу на якому переводить обидва вихідні транзистори в

закритий стан. Схема ТТЛ елемента з трьома станами виходу приведена на рис. 6.7.

При $EZ = 0$ напруги на базах транзисторів $VT3$ і $VT4$ приймають низький (що закриває) рівень, що робить неможливим протікання вихідних струмів через транзистори.

Транзистор $VT3$ закритий тому, що додатковий діод $VD3$ знаходиться в стані, що проводить, і потенціал на базі близький до нуля. Транзистор $VT4$ також буде закритий, оскільки на його емітері присутній рівень логічного нуля. З урахуванням того, що при "0" на вході EZ транзистор $VT1$ відкритий і низьким опором переході емітер-колектор шунтує резистор $R2$, то $VT2$ закритий, струм через нього не протікає і як наслідок напруга на базі $VT4$ дорівнює нулю.

Такий стан виходу логічного елемента називають Z -станом або станом високоімпедансу виходу (сотні кОм). Для реальних логічних елементів ТТЛ Z стан виходу характеризується струмом витoku $20 \dots 40$ мкА.

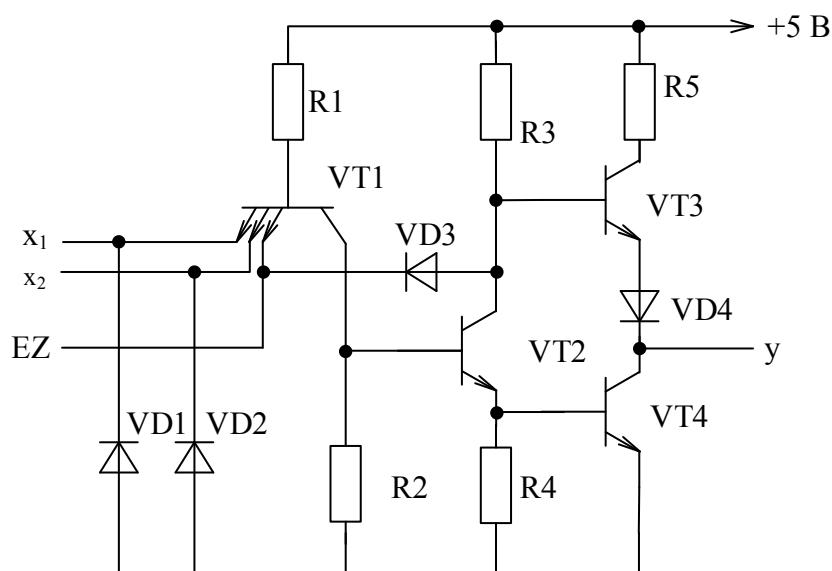


Рис. 6.7. Спрощена схема логічного елемента 2I-N1 з трьома станами виходу

Схема з трьома станами найчастіше використовується для підключення декількох пристроїв до одної і тої ж шини (наприклад, організація обміну да-

ними в ПК між різними вузлами). Той пристрій, що у даний момент повинен бути підключений до шини, переводиться в активний режим, а всі інші в третій стан і вони не заважають роботі активного пристрою.

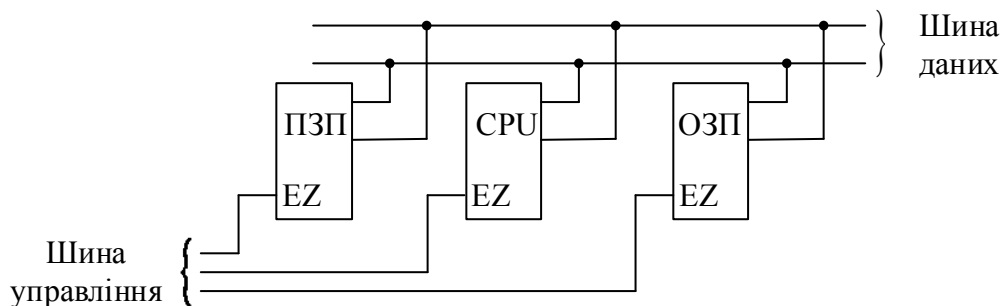


Рис. 6.8. Організація обміну даними між різними пристроями з використанням елементів з трьома станами виходу

6.4 Логічні елементи на МДН-транзисторах

Широкому поширенню МДН-схемотехніки сприяли такі її особливості:

- більш проста технологія виготовлення (коротше технологічний цикл виготовлення), що сприяє підвищенню відсотка виходу придатних виробів;
- менші геометричні розміри приладу і більш прості схемотехнічні рішення, що при однаковій з біполярною ІС площею кристала дозволяє розмістити на ньому більш складну по виконуваних функціях схему або при однаковій функціональній складності одержати меншу площу кристала, що також сприяє підвищенню виходу придатних виробів (менше вплив дефектів вихідного напівпровідника).

Разом з тим при розробці ІС МДН доводиться враховувати наступні особливості даного класу приладів:

- МДН-транзистор володіє гіршими ключовими властивостями у порівнянні з біполярним транзистором. Це виражається в більшому вихідному опорі і, отже, у більшій залишковій напрузі у включеному стані;

- залишкова напруга на включеному МДН-транзисторі значно залежить від керуючої напруги. Стосовно до логічних схем це означає сильну залежність напруги лог. "0" від напруги лог. "1". Послабити цю залежність можна зменшенням абсолютного струму стоку у включеному стані, що вимагає використання в ключі на МДН-транзисторі високоомного навантаження;
- необхідність застосування власного високоомного навантаження при фіксованій ємності збільшує постійну часу, що визначає тривалості фронту і спаду вихідної напруги ЛЕ. Це приводить до падіння швидкодії;
- у силу розглянутих вище особливостей (нестабільність вихідних логічних рівнів) для забезпечення достатньої завадостійкості ЛЕ на МДН-транзисторах повинні працювати при великих значеннях логічного перепаду. Це також сприяє падінню швидкодії елемента.

Слід зазначити, що необхідність застосування високоомного навантаження має і позитивну властивість, що виражається в зменшенні потужності, яка розсіюється в ключі на МДН-транзисторі.

Схемотехнічні рішення, при побудові ІС МДН, спрямовані на усунення вищеописаних недоліків елементарного ключа. Тому при побудові ІС схема ключа з навантажувальним резистором не використовується. Широке застосування знайшла схема ключа з навантажувальним МДН-транзистором, що забезпечує збільшення струму перезаряду ємності навантаження, а, отже, і швидкодії ключа. Це додатково дозволяє спростити технологію виготовлення ІС, тому що зі схеми виключаються всі пасивні елементи (резистори) і вона будується тільки на однотипних елементах. МДН-транзисторах.

В залежності від типу використовуваного транзистора розрізняють ІС *n*-МОН і *p*-МОН-типів. Розглянемо побудову ЛЕ з використанням *n*-МОН-транзисторів. На рис. 6.9, *a*, *б* наведені принципові електричні схеми двохходових ЛЕ, що реалізують операції 2І-НІ та 2АБО-НІ.

Обидві схеми містять по три транзистори, з яких $VT1$ виконує роль активного навантаження, а $VT2$ і $VT3$ є власне транзисторними ключами, що реалізують логічні операції. У схемі рис.6.9,а, що реалізує логічну операцію І-НІ, транзистори $VT2$ і $VT3$ включені послідовно. Тому для появи на виході схеми низької напруги на затвори обох транзисторів необхідно подати високу напругу, достатню для протікання струму активного навантаження. У схемі рис. 6.9,б, транзистори $VT2$ і $VT3$ включені паралельно. Тому при подаванні на затвор кожного з них високої напруги на виході буде сформована напруга низького рівня.

Збільшення числа вхідних змінних елемента вимагає збільшення кількості послідовно або паралельно включених транзисторів. Тому, використовуючи описаний принцип з мінімальними схемотехнічними витратами, можна побудувати логічний елемент із необхідним числом входів.

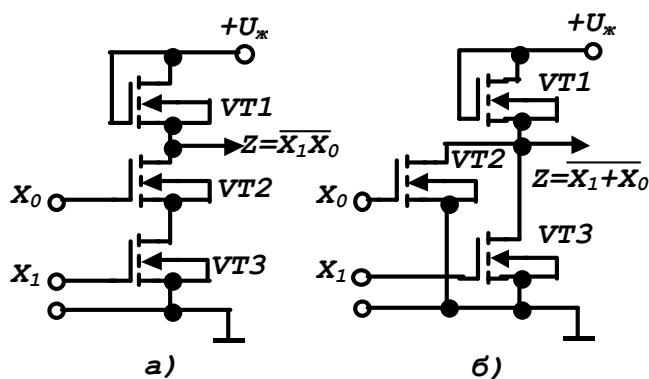


Рис. 6.9. Принципові електричні схеми ЛЕ на МДН-транзисторах,
2І–НІ (а) та 2АБО–НІ (б)

Збільшення швидкодії ІС МДН вимагає збільшення струмів перезарядження ємності навантаження. Однак це обмежується ростом споживаної потужності і збільшенням нестабільності вихідних логічних рівнів. Перебороти зазначене протиріччя можна або технологічним шляхом, створюючи транзистори з меншою вхідною ємністю, або схемотехнічним шляхом, застосовуючи схему ключа на транзисторах з каналами різного типу (комплементарні транзистори). Ці ключі, з одного боку, дозволяють значно збільшити струми перезаряду ємності навантаження, а з іншого максимально зменшити потужність, що

розсіюється в елементі. Ключ на комплементарних транзисторах при правильному виборі параметрів вхідних елементів у статичному режимі роботи практично не споживає потужність від джерела живлення.

Споживана елементом потужність у статичному режимі тотожно дорівнює потужності, що віддається ним у навантаження. А так як навантаженням елемента є вхідні кола аналогічних елементів, що носять чисто ємнісний характер, то потужність, що відібрана від джерела живлення, витрачається тільки в динамічному режимі на перезаряд цієї ємності, тобто має мінімально можливе значення.

На рис. 6.10 наведена принципова електрична схема інвертора КМОН, що використовується як базовий логічний елемент.

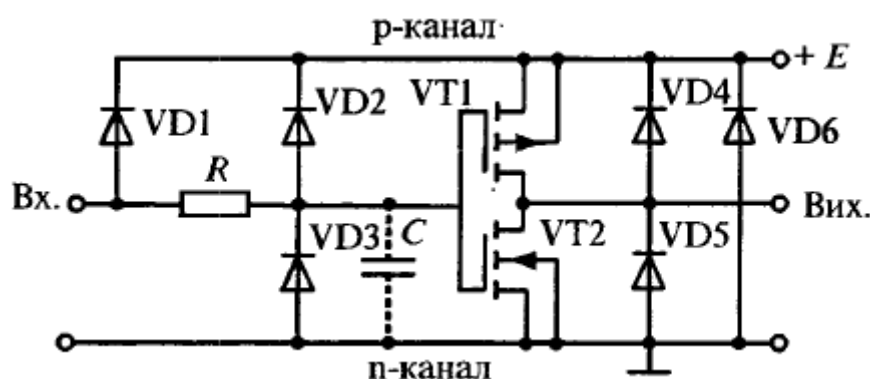


Рис. 6.10. Принципова електрична схема транзисторного ключа ІС КМОН

Схема може бути умовно розбита на три частини: вхідний діодно-резистивний обмежувач напруги; власне інвертор на КМОН-транзисторах; вихідне діодне коло. Вхідний опір транзисторів у схемі досягає значень до 10^{12} Ом. При товщині ізоляції між затвором і напівпровідником порядку 50...70 мкм його власна пробивна напруга складає порядку 150...200 В. Це припускає введення в елемент спеціальної схеми захисту від статичної електрики, що може потрапити на його вхід у процесі збереження чи монтажу. Роль цієї схеми виконує вхідний діодно-резистивний обмежувач на елементах $VD1$, $VD2$, $VD3$ і $R1$. Дана схема обмежує напругу на вході транзисторного

ключа в діапазоні від $U_{жс} - 0,7$ В до $U_{жс} + 0,7$ В.

Елементи вихідного діодного кола ($VD4$, $VD5$, $VD6$) утворені відповідними областями самого транзисторного ключа і з погляду його роботи не є обов'язковими. Наявність цих діодів накладає додаткові обмеження на використання елемента. Завжди повинно виконуватися нерівність

$$|U_{вх} - U_{вих}| < U_{жс}.$$

В протилежному випадку діоди вхідного обмежувача і вихідного кола можуть відкриватися та замкнути коло живлення елемента. Останнє може бути причиною його пробоя. Тому напруга живлення на КМОН-схеми повинна завжди подаватися до включення і зніматися після відключення вхідного інформаційного сигналу.

Схемотехнічно ЛЕ КМОН-типу повторюють схеми елементів n -МОН- і p -МОН-типів. Відмінність полягає в тому, що завжди використовуються пари транзисторів. При цьому, якщо для реалізації заданої логічної функції транзистори з каналом n -типу включаються послідовно, то парні їм транзистори p -типу включаються паралельно і навпаки. На рис. 6.11 наведені принципові електричні схеми, що реалізують логічні операції 2І-НІ і 2АБО-НІ. Для спрощення на наведених схемах не показані елементи вхідних і вихідних кіл ключа.

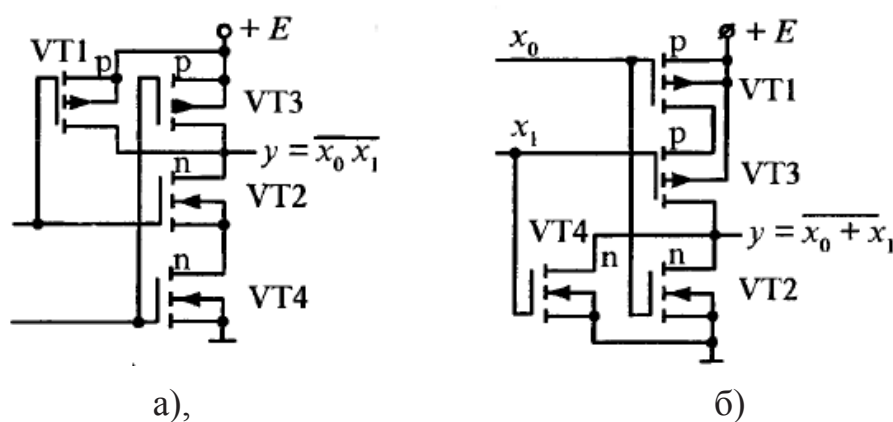


Рис. 6.11. Принципові електричні схеми ЛЕ КМОН-типу, 2І-НІ (а) та 2АБО-НІ (б)

До особливостей схем ЛЕ треба віднести відсутність додаткового навантажувального транзистора. Його роль виконує один із транзисторів ключа.

Аналіз схем дозволяє зробити важливий практичний висновок про те, що аналогічно ЛЕ ТТЛ для ЛЕ КМОН паралельне включення декількох їхніх виходів заборонено.

В табл. 6.2 наведені найбільш важливі параметри ЛЕ КМОН серії 561 при напрузі живлення 9 В.

Слід також зазначити, що КМОН-елементи мають високу завадостійкість – до 40% напруги живлення, оскільки пороговий рівень таким мікросхем дорівнює половині напруги живлення.

Табл. 6.2. Основні параметри логічних елементів КМОН серії 561

| $U^1_{\text{вих min}}$, В | $U^0_{\text{вих max}}$, В | $t_{\text{зат порівн}}$, нс | F_{max} , МГц | $I_{\text{сп}}$, мкА | $U_{\text{ж}}$, В | $K_{\text{роз}}$ | $C_{\text{вх}}$, пФ |
|----------------------------|----------------------------|------------------------------------------------------------|------------------------|-----------------------|--------------------|------------------|----------------------|
| 8 | 0.3 | 30 ($C_{\text{н}}=15$ пФ) 100 ($C_{\text{н}}=100$ пФ) | 3 | 0,1 | 3... 15 | 50 | 5 |

6.5 Логічні елементи інтегрально-інжекційної логіки

Для підвищення технологічності виготовлення бажано при розробці ІС застосовувати схемотехнічні рішення, що використовують тільки однотипні елементи, наприклад транзистори. Цей шлях, як було показано раніше, реалізований у ІС МДН, що поряд з іншими перевагами є причиною їх широкого поширення. Однак, як уже відзначалося, ключ на біполярних транзисторах на сьогодні має кращі як ключові, так і частотні властивості. Це є передумовою до постійного пошуку нових схемотехнічних рішень для реалізації біполярних ІС. Такий пошук призвів до майже одночасної розробки фірмами Philips і IBM елемента інтегрально-інжекційної логіки (І²Л) [18]. Відповідна йому принципова електрична схема ЛЕ І²Л наведена на рис. 6.12.

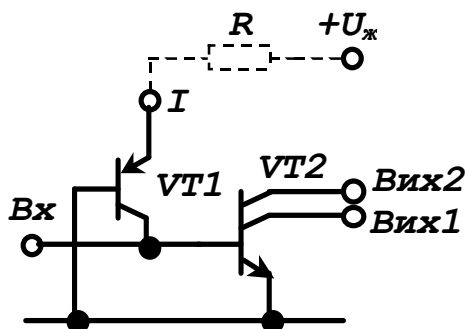


Рис. 6.12. Принципова електрична схема ЛЕ І²Л

Особливістю елементів І²Л є:

- відсутність резисторів, що різко спрощує технологію виробництва ІС;
- використання струмового принципу живлення, при якому в ІС задається не напруга, а струм, який безпосередньо інjektується в область напівпровідника, що утворює структуру одного з транзисторів;
- просторове сполучення в кристалі напівпровідника областей, що функціонально належать різним транзисторам. При цьому структура розташовується як по горизонталі (планарно), так і по вертикалі. Таке рішення дозволяє відмовитися від застосування спеціальних рішень для відділення областей, що належать різним елементам, як це необхідно робити в елементах ТТЛ і ЕЗЛ;
- мале значення логічного перепаду, що дозволяє максимально збільшити швидкодію елемента.

В наведеній схемі (рис. 6.12) багатоколекторний транзистор *VT2* виконує функцію інвертування вхідного сигналу, а транзистор *VT1* – генератора (інжектора) базового струму транзистора *VT2*. До особливостей елемента варто віднести і сталість струму інжектора у всіх режимах роботи елемента. Струм інжектора задається резистором *R*, що, як правило, виконується загальним на групу елементів.

Важливою особливістю елемента І²Л є можливість, варіюючи струм інжектора в широких межах, змінювати його швидкодію. Реально струм інжектора може змінюватися від 1 нА до 1 мА, тобто на 6 порядків. Оскільки для зада-

ної схемотехніки енергія переключення елемента. величина постійна, у таких же межах може змінюватися і швидкодія елемента. Важливо, щоб для цього не потрібно було б ніяких схемотехнічних змін в елементі.

Принцип дії схеми І²Л полягає в наступному. Допустимо, зовнішній сигнал, що відповідає сигналу лог. "1" на вході елемента (база транзистора *VT2*), відсутній. У цьому випадку струм інжектора, втікаючи в базу транзистора *VT2*, насичує його. На його колекторах, а, отже, і на вихідних виводах елемента присутня напруга низького рівня, яка дорівнює напрузі насичення транзистора *VT2* – реально це 0,1...0,2 В.

Якщо база транзистора *VT2* безпосередньо чи через насичений транзистор підключена до загальної шини, то виконується умова $U_{вх} < U_{бe0}$, транзистор *VT2* закритий, тому що струм інжектора замикається на загальну шину, минаючи його емітерний перехід. У цьому випадку напруга на його колекторах визначається зовнішніми колами. При послідовному включенні декількох інверторів ця напруга дорівнює напрузі емітерного переходу наступного транзистора. Таким чином, для ЛЕ І²Л $U^0 = 0,1...0,2$ В; $U^1 = 0,6...0,7$ В.

З наведених співвідношень випливає, що перепад логічних рівнів для ЛЕ І²Л складає 0,4...0,6 В.

З використанням наведеної схеми можуть бути реалізовані основні логічні операції І-НІ і АБО-НІ. На рис. 6.13 наведена логічна схема, побудована на трьох інверторах І²Л.

Особливістю елементів І²Л є можливість паралельного включення декількох їхніх виходів. З наведеної схеми випливає, що при паралельному включенні декількох виходів у загальній точці щодо вхідних змінних реалізується логічна операція АБО-НІ. Щодо вихідних сигналів елементів реалізується логічна операція І. Таким чином, якщо не потрібний гальванічний поділ між вхідними і вихідними сигналами, то логічна операція І виконується без яких-небудь додаткових схемотехнічних витрат простим об'єднанням відповідних виходів ЛЕ. Після інвертування результату виконаної операції АБО-НІ додатковим елементом

щодо вхідних перемінних реалізується логічна операція АБО, а щодо вихідних сигналів перших елементів. операція І-НІ.

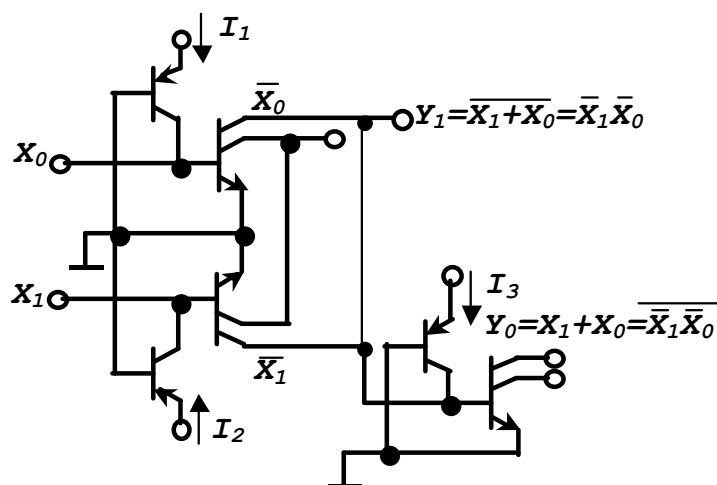


Рис. 6.13. Реалізація логічних операцій 2І-НІ та 2АБО-НІ на ЛЕ І²Л

ЛЕ І²Л дозволяє максимально уніфікувати структуру ІС, знизивши площу її кристала, і або зменшити її споживання, або підвищити швидкодію. Типовий час затримки поширення ЛЕ І²Л при струмі інжектора 0,1 мкА складає 10 нс. При цьому енергія переключення для цього елемента на кілька порядків менше, ніж для елемента ТТЛ.

Через невелику завадостійкість, обумовлену малим логічним перепадом, ЛЕ І²Л використовуються винятково в складі ВІС і СВІС, та як окремі ІС малого ступеня інтеграції не випускаються. При цьому вхідні і вихідні кола ІС, виконаних за технологією І²Л, робляться сумісними по логічних рівнях із сигналами ТТЛ.

6.7 Контрольні питання

2. Дайте поняття позитивної і негативної логіки.
3. Перелічіть основні статистичні і динамічні параметри цифрових елементів?

4. Перелічіть варіанти модифікацій елементів ТТЛ-типу і цілі, для рішення яких вони були розроблені.
5. Чим пояснюється широке поширення елементів ТТЛ-типу?
6. У чому перевага елементів МДН-типу?
7. Яка схема є базовою для логічних елементів МДН-типу?
8. Які особливості логічних елементів І²Л-типу?
9. Поясніть принцип роботи логічних елементів І²Л-типу?
10. Поясніть фізичний зміст порогової напруги.
11. Що таке третій стан виходу логічного елемента?
12. Які особливості підключення навантаження до логічних елементів з відкритим колектором?

7 КОМБІНАЦІЙНІ СХЕМИ

7.1 Дешифратори

7.1.1 Загальні зауваження

Логічні пристрої діляться на комбінаційні і послідовні (автомати з пам'яттю). Вихідні величини логічних пристроїв комбінаційного типу залежать тільки від поточного значення вхідних величин (аргументів). Після завершення перехідних процесів на виходах логічних пристроїв комбінаційного типу встановлюються вихідні величини, на які характер перехідних процесів впливу не надає. До комбінаційних пристроїв належать дешифратори і шифратори, мультиплектори та демультиплектори, а також суматори кодів.

Дешифратори і шифратори належать до числа перетворювачів кодів. З поняттям шифрування зв'язане представлення про стиск даних, з поняттям дешифрування – зворотне перетворення.

В умовних позначеннях дешифраторів і шифраторів використовуються

букви DC і CD (від слів decoder і coder відповідно).

Повним дешифратором називається комбінаційна схема (КС), що має n входів і 2^n виходів що реалізує на кожному виході функцію, що представляє собою мінтерм n вхідних змінних. У повному дешифраторі кожній комбінації значень вхідних сигналів відповідає сигнал тільки на одному з виходів. Іншими словами, дешифратором називають, логічний пристрій, що має n входів та $m = 2^n$ виходів і який перетворює код числа, що надходить на його входи, у позиційний (унітарний) код, тобто сигнал формується на кожному відрізку часу тільки на одному з його виходів.

Якщо вхідний код двійковий, то функція дешифратора описується наступними виразами:

$$\begin{aligned}
 y_0 &= x_1 x_2 x_3 \dots x_n, \\
 y_1 &= \bar{x}_1 x_2 x_3 \dots x_n, \\
 &\dots\dots\dots \\
 y_m &= \bar{x}_1 \bar{x}_2 \bar{x}_3 \dots \bar{x}_m,
 \end{aligned}$$

де, n – кількість розрядів вхідного коду; m – можлива кількість виходів дешифратора; x_i – вхідна змінна.

Дешифратори можуть реалізовувати як функції наведені вище, так і інверсні їм значення. В залежності від цього розрізняють дешифратори з прямими та інверсними виходами рис. 7.1. Причому, всі дешифратори ТТЛ мають інверсні виходи. Інверсія на виході означає, що на всіх виходах зберігається "1" окрім активного виходу, рівень на якому дорівнює "0".

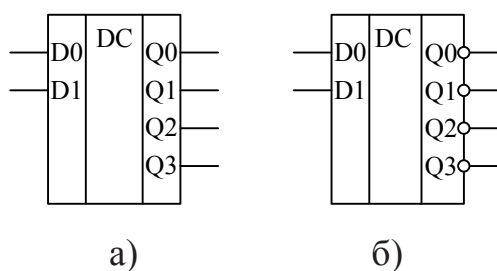


Рис. 7.1. Умовне графічне позначення дешифратора з двома входами і прямими (а) та інверсними виходами (б)

Дешифратор може бути виконаний одноступінчатим (лінійним) і багатоступінчатим. Багатоступінчаті можна розділити на прямокутні (матричні) і пірамідальні.

7.1.2 Лінійні дешифратори

Лінійні дешифратори виконуються реалізацією виразів, що наведені вище, напряму. Для побудови лінійного дешифратора потрібно використання логічних елементів з кількістю входів рівним розрядності вхідного коду. Крім того потрібно висока навантажувальна здатність того пристрою, що формує вхідні коди, тому що до його вихідних шин підключається велика кількість входів логічних елементів що утворюють дешифратор. Практично навантажувальна здатність не перевищує 10...20. Лінійний суматор навантажує вхідний пристрій на $2^n/2$ входів. На рис. 7.2 наведена схема лінійного дешифратора на три входи.

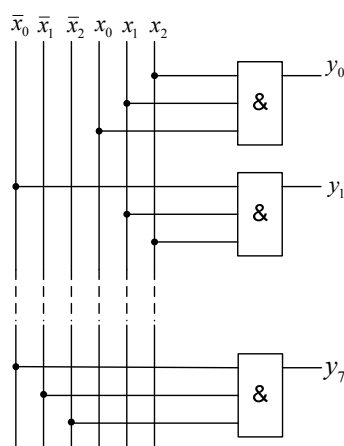


Рис. 7.2. Принципова схема лінійного дешифратора на три входи

7.1.3 Прямокутні (матричні) дешифратори

Удосконалення структури дешифраторів можливо при використанні ряду елементів для формування часткових кон'юнкцій, використовуваних надалі для одержання необхідних вихідних функцій дешифратора.

Прямокутний дешифратор містить перший ступінь з кількох лінійних дешифраторів, кожних з яких дешифрує групу розрядів вхідного коду. Усі кон'юнкції усередині групи утворюються за допомогою допоміжних дешифраторів, а необхідні вихідні змінні дешифратора (мінтерми) формуються у результаті кон'юнкцій вихідних змінних допоміжних дешифраторів.

Багаторозрядне слово розбивається на N груп. При парному n обидві групи однакові і містять $n/2$ входів кожна. При непарному n перша група містить $(n+1)/2$ входів, а друга група – $(n-1)/2$.

Оцінюючи, як і раніш, навантажувальну здатність вихідних елементів джерела вхідного коду, можна зробити висновок про необхідність додаткової розбивки груп на підгрупи (якщо навантажувальна здатність виявляється менше ніж число входів лінійного дешифратора) або з можливості застосування як допоміжний дешифратор – лінійного. Якщо потрібно додаткові розбивки на підгрупи то допоміжний дешифратор розподілу по двох східчастій схемі, а весь дешифратор виявляється виконаним по 3-х східчастій схемі.

Розглянемо приклад побудови прямокутного дешифратора на 4 входи і 16 виходів. Нехай навантажувальна здатність вихідних елементів пристрою, що формує вхідний код дешифратора дорівнює 3. Тоді дешифратор необхідно будувати по двох східчастій схемі.

Розбиваємо усі входи на 2 групи по 2 входи в кожній. Перевіряємо, чи буде достатньої навантажувальна здатність для $N = 2$. Навантажувальна здатність дорівнює $((2^N - 1) / 2 = 2,5)$.

Структура дешифратора буде виглядати так, як показано на рис. 7.3.

| | | | |
|---------|----------------------|----------------------------------------|-----------|
| | x_0x_1 | $x_0x_1\bar{x}_2\bar{x}_3$ | $-y_0$ |
| 1 група | \bar{x}_0x_1 | $\bar{x}_0x_1x_2x_3$ | $-y_1$ |
| | $x_0\bar{x}_1$ | $x_0\bar{x}_1x_2x_3$ | $-y_2$ |
| | $\bar{x}_0\bar{x}_1$ | $\bar{x}_0\bar{x}_1x_2x_3$ | $-y_3$ |
| | | \cdot | \cdot |
| | | \cdot | \cdot |
| | x_2x_3 | $x_0x_1\bar{x}_2\bar{x}_3$ | $-y_{12}$ |
| 2 група | \bar{x}_2x_3 | $\bar{x}_0x_1\bar{x}_2\bar{x}_3$ | $-y_{13}$ |
| | $x_2\bar{x}_3$ | $x_0\bar{x}_1\bar{x}_2\bar{x}_3$ | $-y_{14}$ |
| | $\bar{x}_2\bar{x}_3$ | $\bar{x}_0\bar{x}_1\bar{x}_2\bar{x}_3$ | $-y_{15}$ |
| | | | |

Рис. 7.3. Структура прямокутного дешифратора

7.1.4 Пірамідальні дешифратори

Пірамідальні дешифратори, так само як і прямокутні, відносяться до розряду багатоступінчастих дешифраторів, особливістю яких є застосування у всіх групах дешифрації двовходових логічних елементів з обов'язковим підключенням виходу елемента K -го ступеню до входів тільки 2-х елементів $(K+1)$ ступеню. Число ступенів K в пірамідальному дешифраторі на одиницю менше розрядності вхідного коду $K = N-1$, а число логічних елементів кожного ступеню визначається за формулою $B_i = 2^{i-1}$, де i – номер ступеню пірамідального дешифратора. На рис. 7.4 наведено приклад побудови трьохрозрядного дешифратора.

У дешифраторах часто передбачається операція стробіювання (тактування), що дозволяє формування вихідних сигналів тільки у визначених стробуючими імпульсами інтервалах часу. Стробіювання може здійснюватися введенням додаткового входу паралельно інформаційним (рис. 7.7,а) у кожний елемент дешифратора або блокуванням всіх елементів через одне з вхідних кіл (рис. 8.8,б).

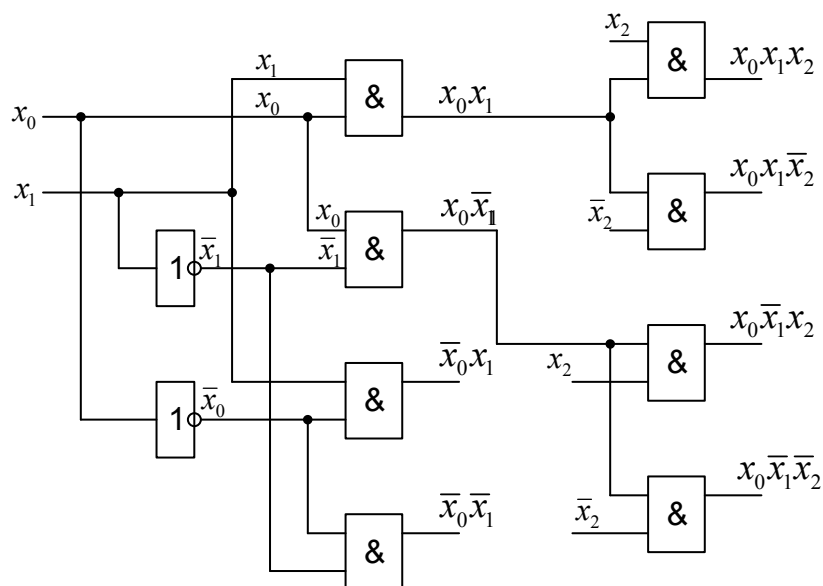


Рис. 7.4. Структура трьохрозрядного пірамідального дешифратора

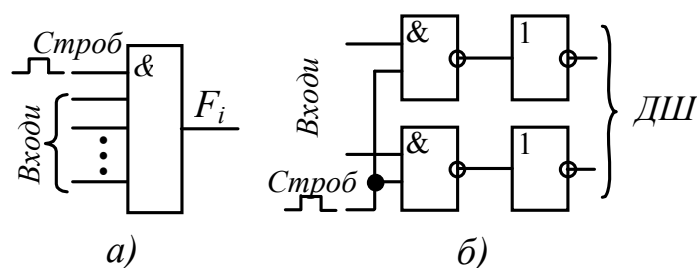


Рис. 7.5. Способи стробіювання дешифратора

В останньому випадку при нульовому значенні сигналу стробіювання штучно формуються нулі в колах прямого й інверсного значень змінної, що забезпечує наявність хоча б одного нуля в числі вхідних величин для кожного елемента дешифратора.

При цьому усі виходи мають нульові значення сигналу, тому що будь-яка змінна в прямому чи інверсному вигляді надходить на всі елементи дешифратора. При одиничному значенні сигналу стробіювання відновлюється нормальне коло передачі змінної на входи дешифратора. Описані варіанти можна назвати стробіюванням по виходу і стробіюванням по входу.

7.2 Шифратори

Шифратором називається комбінаційна схема, що перетворює сигнал, поданий на одну з вхідних шин, у визначену кодову комбінацію на виході (операція зворотна дешифруванню). У країнах СНД такі мікросхеми позначаються буквами ИВ, наприклад К155ИВ3 (зарубіжний аналог SN74148N).

За принципом роботи шифратори поділять на двійкові та пріоритетні. При збудженні одного з входів шифратора на його виході формується двійковий код відповідаючий номеру входу. Повний двійковий шифратор має 2^n входів і n виходів. Відповідність вхідного та вихідного кодів двійкового шифратора можна побачити у табл. 7.1.

Табл. 7.1. Відповідність вхідного та вихідного кодів шифратора

| Стан входу | | | | Код на виході | |
|------------|----|----|----|---------------|----|
| D0 | D1 | D2 | D3 | Q1 | Q0 |
| 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 |

З таблиці випливає, що $Q0 = \overline{D3D2D1D0} + D3\overline{D2D1D0}$ а $Q1 = \overline{D3D2D1D0} + D3D2\overline{D1D0}$.

Пріоритетні шифратори виконують більш складні функції. В такому шифраторі кожному з входів присвоюється пріоритет. Найчастіше входу з найменшим номер присвоюється найнижчий пріоритет. У випадку коли на декілька входів шифратора надходять сигнали то на виході формується код що відповідає входу з найвищим пріоритетом.

7.3 Мультиплексори і демультиплексори

7.3.1 Мультиплексори

Мультиплексором називається комбінаційна схема (КС), що має $m+2^m$ входів і один вихід, де m – число адресних входів, а 2^m – число інформаційних входів мультиплексора.

Мультиплексори (англ. multiplexer, позначається MUX) використовуються в інформаційних та інформаційно-вимірювальних системах для розділу каналів інформації у часі, тобто по черзі підключають різні джерела інформації до каналу зв'язку. Іншими словами, мультиплексор виконує функцію прийому інформації по одному з n вхідних каналів и передає її по єдиному вихідному каналу.

Еквівалентна схема мультиплексора, що має два входи й один вихід, може бути представлена у вигляді, що наведений на рис. 7.6.

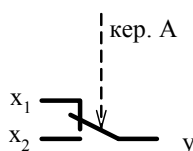


Рис. 7.6. Еквівалентна схема мультиплексора з двома входами

Входи мультиплексора поділяються на дві групи: інформаційні і керуючі (адресні). Робота такого мультиплексора описується рівнянням

$$y = x_1 \bar{A} + x_2 A$$

Якщо $A=0$ (значення сигналу на вході управління), то перемикач знаходиться в положенні x_1 , а якщо $A=1$, то перемикач знаходиться у положенні x_2 .

Принципова схема мультиплексора на два входи і один вихід наведена на рис. 7.7.

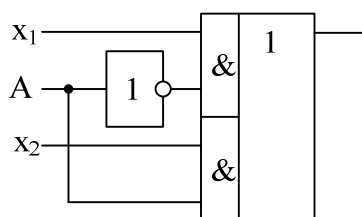


Рис. 7.7. Принципова схема мультиплектора 2×1

Позначення 2×1 означає, що мультиплексор має 2 входи і 1 вихід. Приклад умовного позначення мультиплектора наведений на рис. 7.8.

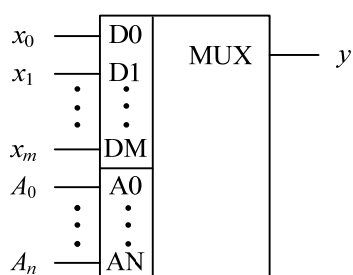


Рис. 7.8. Умовне позначення багатовходового мультиплектора

Якщо побудувати мультиплексор на 8 входів і 1 вихід, то його характеристичне рівняння буде мати вигляд:

$$y = x_0 \overline{A_0} \overline{A_1} \overline{A_2} + x_1 \overline{A_0} A_1 \overline{A_2} + x_2 \overline{A_0} A_1 A_2 + x_3 \overline{A_0} \overline{A_1} A_2 + \dots + x_7 A_0 A_1 A_2.$$

Оскільки зміна кодів на входах управління (адресних) відповідає рівнянням трьохрозрядного дешифратора, то функціональну схему мультиплектора можна зобразити так, як показано на рис. 7.9.

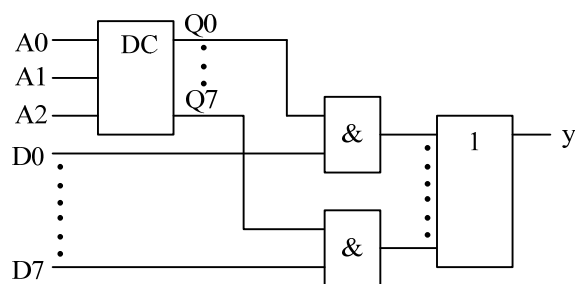


Рис. 7.9. Функціональна схема мультиплексора на 8 входів та 1 вихід

В даний час промисловістю випускаються серії мікросхем, до складу яких входять мультиплексори, що мають число адресних входів $m = 1, 2, 3$ і 4. Мікросхеми мультиплексорів, що випускаються в межах СНД, позначаються буквами КП, наприклад КР1533КП2.

Крім мультиплексорів, що мають один вихід, можна організувати мультиплексори, що містять кілька виходів. Наприклад, мультиплексор $2 \times (4 \times 1)$ – містить 2 мультиплексори, кожний з яких містить 4 входи і 1 вихід. Умовне графічне позначення зведеного чотиріканального мультиплексора наведено на рис. 7.10.

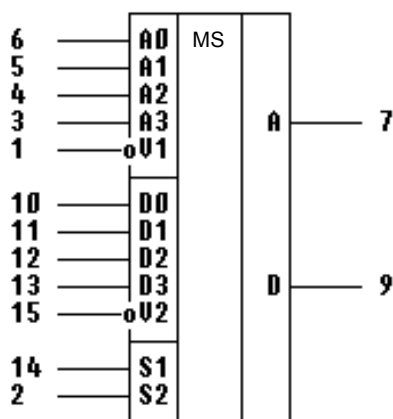


Рис. 7.10. Умовне графічне позначення зведеного 4-канального мультиплексора

7.3.1 Демультимплексори

При передаванні даних загальним каналом з поділом у часі потрібні не тільки мультиплексори, але і пристрої зворотного призначення, що розподіляють дані з одного каналу між декількома приймачами інформації. Демультимплексори виконують функцію, зворотну мультиплексорам, тобто роблять комутацію одного інформаційного вхідного сигналу на 2^m виходів, де m – число адресних входів. Мультиплексори, що виконані на основі аналогових двонаправлених ключів (наприклад, 564КП1 і 564КП2), можуть виконувати функції і демультимплексорів.

Еквівалентна схема демультимплексора, що має один вхід і два виходи, наведена на рис. 7.11.

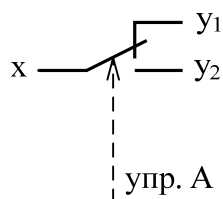


Рис. 7.11. Еквівалентна схема демультимплексора 1×2

Умовне графічне позначення демультимплексора на схемах наведено на рис. 7.12.

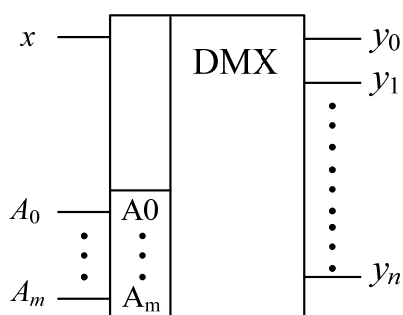


Рис. 7.12. Умовне графічне позначення демультимплексора

Число виходів демультимплексора визначається по формулі $n = 2^m$. Характеристичні рівняння демультимплексора мають вигляд:

$$\begin{aligned}
 y_0 &= x \overline{A_0} \overline{A_1} \dots \overline{A_m}, \\
 y_1 &= x A_0 \overline{A_1} \dots \overline{A_m}, \\
 y_2 &= x A_0 A_1 \dots \overline{A_m}, \\
 &\dots\dots\dots, \\
 y_n &= x A_0 A_1 \dots A_m.
 \end{aligned}$$

При $x=1=\text{const}$ демультиплексор перетворюється в звичайний дешифратор.

Принципова схема демультиплексора 1×4 (1 вхід і 4 виходи) наведена на рис. 7.13.

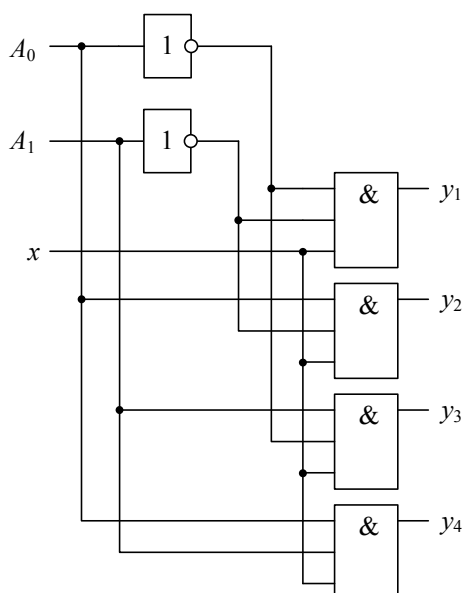


Рис. 7.13. Принципова схема демультиплексора 1×4

7.4 Суматори кодів

Суматором називається комбінаційний логічний пристрій, призначений для виконання операції арифметичного додавання чисел представлених у вигляді двійкових кодів.

Суматори є одним з основних вузлів арифметико-логічного пристрою. Термін суматор охоплює широкий спектр пристроїв, починаючи з найпрості-

ших логічних схем, до складних цифрових вузлів. Спільним для всіх цих пристроїв є арифметичне додавання чисел, представлених у двійковій формі. Класифікація суматорів може бути виконана по різних ознаках.

По числу розрядів розрізняють: напівсуматори, однорозрядні суматори, багаторозрядні суматори.

Напівсуматором називається пристрій, призначений для додавання двох однорозрядних слів, який має два входи і два виходи і що формує із вхідних сигналів сигнали суми і переносу в старший розряд.

Однорозрядним суматором називається пристрій, призначений для додавання двох однорозрядних слів, який має три входи і два виходи, і формуючий із сигналів вхідних доданків і сигналу переносу з молодших розрядів сигнали суми і переносу в старший розряд.

Багаторозрядним суматором називається пристрій, призначений для додавання двох багато розрядних слів, який формує на виході код суми і сигнал переносу у випадку, якщо результат додавання не може бути представлений кодом, розрядність якого збігається з розрядністю кодів доданків.

Багаторозрядні суматори підрозділяються на послідовні і паралельні. В послідовних суматорах операція додавання виконується послідовно розряд за розрядом, починаючи з молодшого. В паралельних всі розряди вхідних кодів сумуються одночасно.

Розрізняють комбінаційні суматори – пристрої, які не мають власної пам'яті, та накопичуючі суматори з власною внутрішньою пам'яттю, у якій акумулюються результати виконаної операції. При цьому кожний черговий доданок додається до того значення, яке зберігалось у пристрої.

По способу тактування розрізняють синхронні й асинхронні суматори. В синхронних суматорів час виконання операції арифметичного підсумовування двох кодів не залежить від виду самих кодів і завжди залишається постійним. В асинхронних суматорів час виконання операції залежить від виду доданків. Тому по завершенню виконання підсумовування необхідно виробляти спеціаль-

ний сигнал завершення операції.

В залежності від використовуваної системи числення розрізняють двійкові, двійково-десяткові й інші типи суматорів.

Одержимо функції, що описують операції арифметичного додавання двох однорозрядних двійкових кодів x_1 і x_0 . Алгоритм її виконання пояснюється таблицею істинності (табл. 7.2). У графі s (сума) наведене значення результату додавання, а в графі p (перенос) отримане при цьому значення переносу в старший розряд. Варто звернути увагу на відмінності результатів, одержуваних при арифметичному і логічному додаваннях. При логічному додаванні в останньому рядку стовпця s було би присутнє значення 1. Ця відмінність результатів даних операцій не дозволяє застосувати для арифметичного підсумовування елемент АБО, а вимагає розробки спеціалізованого пристрою.

Табл. 7.2. Формування суми однорозрядних двійкових чисел

| x_1 | x_0 | s | p |
|-------|-------|-----|-----|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

Значення сигналу переносу, рівного одиниці в останньому рядку таблиці 7.2 говорить про те, що результат, отриманий при виконанні операції арифметичного додавання, у цьому випадку не може бути представлений двійковим кодом, розрядність якого дорівнює розрядності слів доданків. Для представлення результату необхідне слово, що має на один розряд більше, ніж, коди доданків.

Використовуючи приведену таблицю, легко записати систему функцій алгебри логіки, що описують алгоритм операції арифметичного додавання.

$$s = \bar{x}_1 x_0 + x_1 \bar{x}_0 = x_1 \oplus x_0, \quad (7.1)$$

$$p = x_1 x_0.$$

Для її технічної реалізації необхідні логічні елементи І та виключне АБО (рис. 7.14).

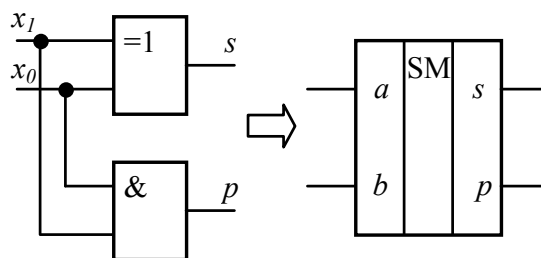


Рис. 7.14. Напівсуматор та його умовне позначення

Операція додавання додатних двійкових чисел визначається правилами двійкової арифметики:

1. Значення переносу z_{p+1} у $(p + 1)$ -й розряд дорівнює 1, якщо дві або три величини з x_p , y_p і z_p рівні 1, де x_p і y_p – розряди чисел X і Y , а z_p – перенос з $(p - 1)$ -го розряду.
2. Значення p -го розряду s_p суми чисел X і Y дорівнює 1, якщо непарне число величин x_p , y_p і z_p дорівнює 1.

Значення переносу в перший розряд завжди дорівнює 0, тобто $z \equiv 0$. Якщо при додаванні розрядна сітка не переповняється, то перенос у старший $(n + 1)$ -й розряд відсутній ($z_{n+1} = 0$). У загальному випадку необхідно робити додавання і віднімання як додатних, так і від’ємних чисел.

Таблиця істинності (табл. 7.3), що описує закон функціонування однорозрядного двійкового суматора, складається на підставі правила додавання додатних чисел.

Табл. 7.3. Таблиця істинності однорозрядного двійкового суматора

| i | x_p | y_p | z_p | s_p | z_{p+1} |
|-----|-------|-------|-------|-------|-----------|
| 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 2 | 0 | 1 | 0 | 1 | 0 |
| 3 | 0 | 1 | 1 | 0 | 1 |
| 4 | 1 | 0 | 0 | 1 | 0 |
| 5 | 1 | 0 | 1 | 0 | 1 |
| 6 | 1 | 1 | 0 | 0 | 1 |
| 7 | 1 | 1 | 1 | 1 | 1 |

Один з можливих варіантів реалізації однорозрядного двійкового суматора наведено на рис. 7.15.

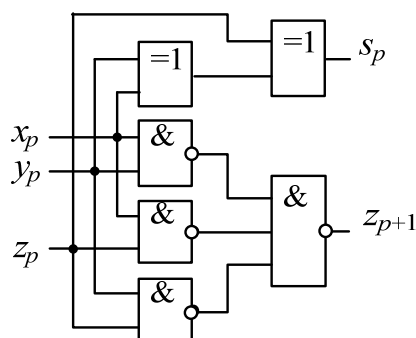


Рис. 7.15. Схема однорозрядного двійкового суматора

Для додавання двох n -розрядних чисел X і Y потрібно використовувати n однорозрядних суматорів. На рис. 7.16 наведена функціональна схема суматора для трьохрозрядних чисел $X = (x_3, x_2, x_1)$ і $Y = (y_3, y_2, y_1)$.

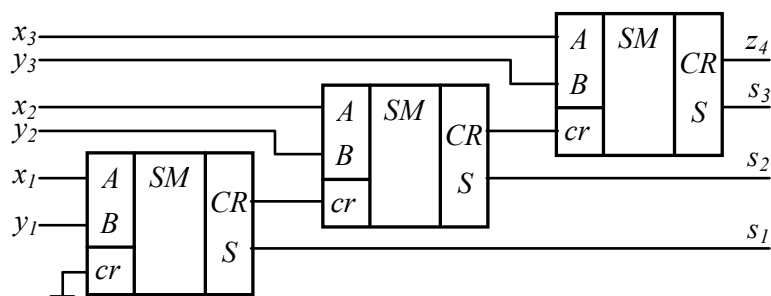


Рис. 7.16. Функціональна схема суматора трьохрозрядних чисел

7.5 Схеми порівняння кодів або цифрові компаратори

Схемою порівняння кодів або цифровим компаратором називається комбінаційний логічний пристрій, призначений для порівняння чисел, представлених у виді двійкових кодів. Число входів компаратора визначається розрядністю порівнюваних кодів.

Цифрові компаратори що реалізуються у вигляді цифрових схем формують на виходах три ознаки: $A = B$, $A > B$ та $A < B$, де A і B – значення кодів, що порівнюються.



Рис. 7.17. Функціональне позначення цифрового компаратора

Найбільш поширений спосіб зіставлення двох чисел, заздалегідь записаних в регістри, заснований на їх порозрядному порівнянні починаючи із старшого, тобто використовується принцип послідовного порівняння кодів багаторозрядних чисел. Якщо порівнюються два числа $A(a_n, a_{n-1}, \dots, a_1)$ і $B(b_n, b_{n-1}, \dots,$

b_1), то умовою їх рівнозначності ($A = B$) є рівність кодів усіх однойменних розрядів, а умовою нерівнозначності ($A \neq B$) – нерівність кодів хоч би у одному розряді, при цьому $A > B$, якщо $a = 1, b = 0$. Звідси булеві функції наберуть вигляду

$$Q_{a_i b_i} = \overline{a_i b_i} = a_i \overline{b_i},$$

$$Q_{a_i b_i} = a_i \overline{b_i},$$

$$Q_{a_i b_i} = \overline{a_i b_i}.$$

На рис. 7.18, а, б показані дві схеми, що реалізують функцію рівності двох кодів $R(v)$.

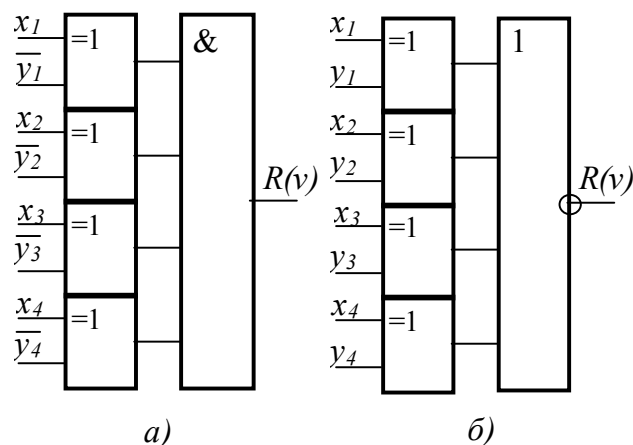


Рис. 7.18. Схеми формування ознаки рівнозначності 4-розрядних кодів

Щоб сформувати ознаки $A > B$ та $A < B$ за допомогою логічних елементів знадобиться досить складна схема. Найбільш зручно будувати схеми порівняння кодів з використанням суматорів. Якщо коди що порівнюються однакові, то різниця їх значень дорівнює 0. Інші дві ознаки теж нескладно сформувати.

Розглянемо на прикладі яким чином можна побудувати схему порівняння кодів з використанням суматора.

Для цього здійснимо операцію віднімання на двома 4-розрядними числами для 3-х випадків: $A = B$, $A > B$ та $A < B$. Нагадаємо, щоб відняти одне число з

іншого необхідно один з доданків представити в додатковому коді, тобто проінвертувати всі розряди числа і додати 1 у молодший розряд.

Перший випадок $A = B$. Нехай $A = B = 5$ (0101 у двійковому коді).

Представимо число B у додатковому коді:

$$\begin{array}{r} 1010 \\ 1 \\ \hline 1011 \end{array}$$

Тобто сума дорівнює $s = 1011$, а перенос $p = 0$. Тепер складемо ці два числа:

$$\begin{array}{r} 0101 \\ 1011 \\ \hline 1\ 0000 \end{array}$$

Для отриманого результату $s = 0000$, а перенос $p = 1$, тобто у загальному вигляді $s = 0$, $p = 1$.

Другий випадок $A > B$. Нехай $A = 6$ (0110 у двійковому коді), а $B = 5$. Тоді різниця A і B буде дорівнювати:

$$\begin{array}{r} 0110 \\ 1011 \\ \hline 1\ 0001 \end{array}$$

Для отриманого результату $s = 0001$, а перенос $p = 1$, тобто у загальному вигляді $s \neq 0$, $p = 1$.

Третій випадок $A < B$. Нехай $A = 5$, а $B = 6$. Число B у додатковому коді дорівнює 1010. Тоді різниця A і B буде дорівнювати:

$$\begin{array}{r} 0101 \\ 1010 \\ \hline 0\ 1111 \end{array}$$

Для отриманого результату $s = 1111$, а перенос $p = 0$, тобто у загальному вигляді $s \neq 0$, $p = 0$.

З урахуванням цих результатів побудована схема порівняння кодів з використанням повного 4-розрядного суматора, що наведена на рис. 7.19.

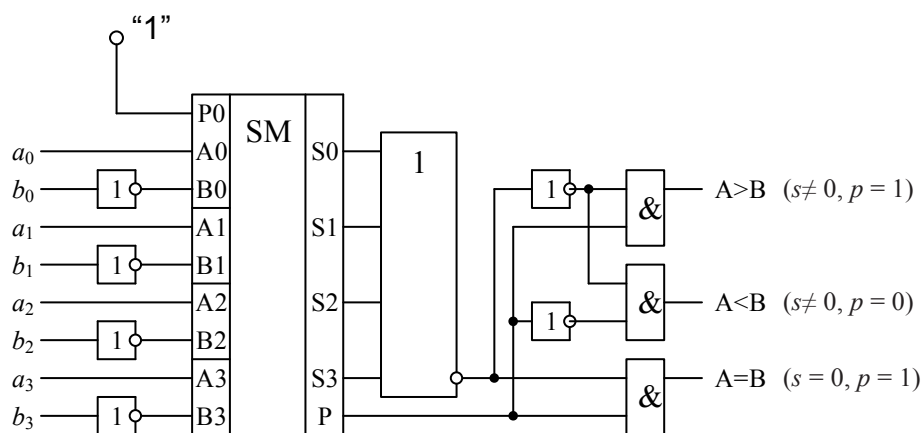


Рис. 7.19. Принципова схема порівняння 4-розрядних кодів з використанням суматора

7.6 "Небезпечні змагання" у комбінаційних пристроях

Інерційність реальних логічних елементів приводить до того, що вихідні сигнали з'являються після зміни перехідних процесів через якийсь час, обумовлений тривалістю перехідних процесів. Найважливішим параметром, що характеризує інерційність логічного елемента, є середній час затримки вихідного сигналу стосовно вхідного $t_{з.с.р.}$.

Можна логічний елемент представити складеним з двох частин – логічного елемента – безінерційного елемента, що виконує логічні функції, й елемента затримки D.

У різних частинах комбінаційного пристрою, у залежності від числа елементів, що послідовно переключаються під дією вхідного сигналу, перехідний процес буде закінчуватися в різний час.

На виході комбінаційного пристрою можлива поява завад, що порушують роботу пристроїв, що під'єднуються до його виходів. Розглянемо схему комбі-

наційного пристрою, що представлена на рис. 7.20. Характеристичне рівняння

цього пристрою має вигляд: $y = \overline{x_3 x_1 x_4 x_2}$.

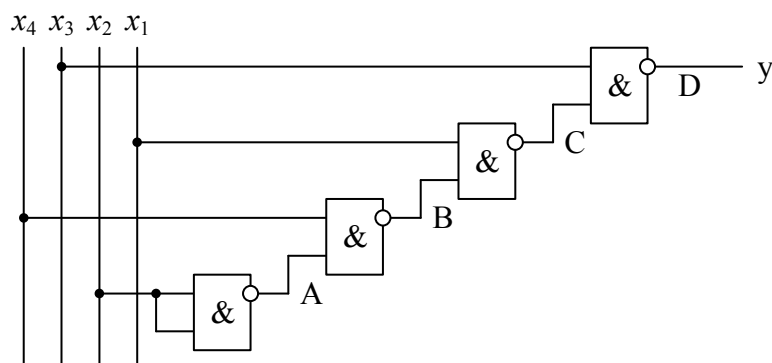


Рис. 7.20. Комбінаційний пристрій з "небезпечними змаганнями"

Часові діаграми, що ілюструють роботу цієї схеми наведені на рис. 7.21.

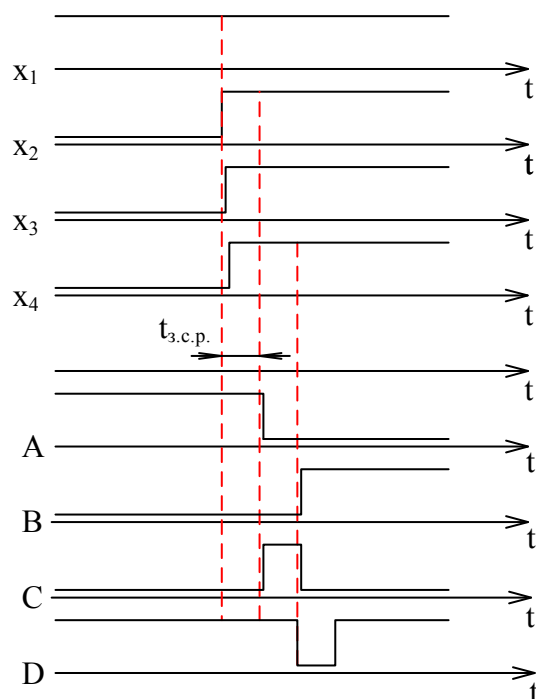


Рис. 7.21. Часові діаграми роботи схеми пристрою з "небезпечними змаганнями"

При зміні вхідного сигналу з 1000 на 1111 значення вихідного сигналу

повинне зберегтися рівним 1, однак, на виході комбінаційного пристрою на час $3t_{з.с.р.}$ з'являється імпульс завад, обумовленої затримками, що вносять логічні елементи. Якщо така завада порушує роботу включеного на виході пристрою, то маємо справу з “небезпечними станами”.

Для боротьби з небезпечними станами вживають наступних заходів:

1. Включають на виході згладжуючий фільтр, наприклад, інтегруюче коло (використовують рідко).
2. Вводять синхронну передачу сигналів від одного пристрою до іншого за допомогою спеціальних імпульсів синхронізації, що визначають моменти передачі інформації. Пауза між імпульсами синхронізації вибирається такою, щоб за її час закінчилися перехідні процеси і на виході пристрою установилися стаціонарні значення сигналів.

7.7 Контрольні запитання

1. Що таке функціонально повна система та базис ЛЕ?
2. Синтезуйте схему для реалізації функції $F = \overline{\overline{x_1} x_2} \overline{\overline{x_1} x_2}$ на елементах І-НІ.
3. Які призначення і структурна схема мультиплексора та демультимплексора?
4. Які призначення та структурні схеми одноступінчатого, пірамідального і багатоступінчатого дешифраторів?
5. Які призначення та логічна схема шифратора?
6. Запишіть ФАЛ, що реалізує арифметичне підсумовування однорозрядних двійкових кодів.
7. Чим відрізняються напівсуматор від однорозрядного суматора?
8. Які призначення і логічна схема цифрового компаратора?