

12 ЗАПАМ'ЯТОВУЮЧІ ПРИСТРОЇ

12.1 Оперативні запам'ятовуючі пристрої

Для короткочасного збереження невеликих об'ємів кодових слів звичайно використовують регістри. При необхідності тривалого збереження або збереження великих об'ємів інформації застосовують запам'ятовуючі пристрої (ЗП), виконані на спеціалізованих ІС. Застосування ЗП, що використовують ІС, дозволяє максимально спростити апаратну частину електронних пристроїв.

По виконуваній функції ЗП можна класифікувати на: оперативні запам'ятовуючі пристрої (ОЗП) і постійні запам'ятовуючі пристрої (ПЗП).

До оперативних відносять ЗП, що використовуються для збереження інформації, одержуваної в процесі роботи пристрою і забезпечують можливість зчитування та запису інформації на протязі часу коли до них підключене джерело живлення.

Оперативні ЗП можуть бути виконані як статичними, так і динамічними. У статичних ОЗП записана інформація постійно зберігається у виділеному для неї місці і не руйнується при її зчитуванні. Руйнування інформації можливо тільки при її примусовому стиранні або вимкненні напруги джерела живлення.

У динамічних ОЗП інформація постійно циркулює в масиві, відведеному для її збереження. При цьому зчитування інформації супроводжується її руйнуванням. Для збереження інформації її необхідно постійно відновлювати.

Для позначення на принципових електричних схемах ІС ОЗП використовується скорочення RAM (Random Access Memory).

Варіант типової структурної схеми статичного оперативного запам'ятовуючого пристрою (ОЗП) наведений на рис. 12.1. Для прикладу обрана мікросхема пам'яті ємністю 256 біт. Структурна схема включає виконані на єдиному кристалі кремнію матрицю накопичувача (запам'ятовуючих елементів), дешифратори коду адреси рядків $A_0 \dots A_3$ (DC_x) і стовпців $A_4 \dots A_7$ (DC_y), пристрій

управління (ПУпр), пристрій запису (ПЗап) і пристрій зчитування (ПЗчит). Режимом роботи всього пристрою керують сигнали \overline{CS} (Chip Select – вибір мікросхеми) і \overline{WR}/RD (Write/Read – запис-зчитування). Вхід на який подається інформація позначається як DI (Data Input), а вихід з якого виводиться зчитувана інформація DO (Data Output).

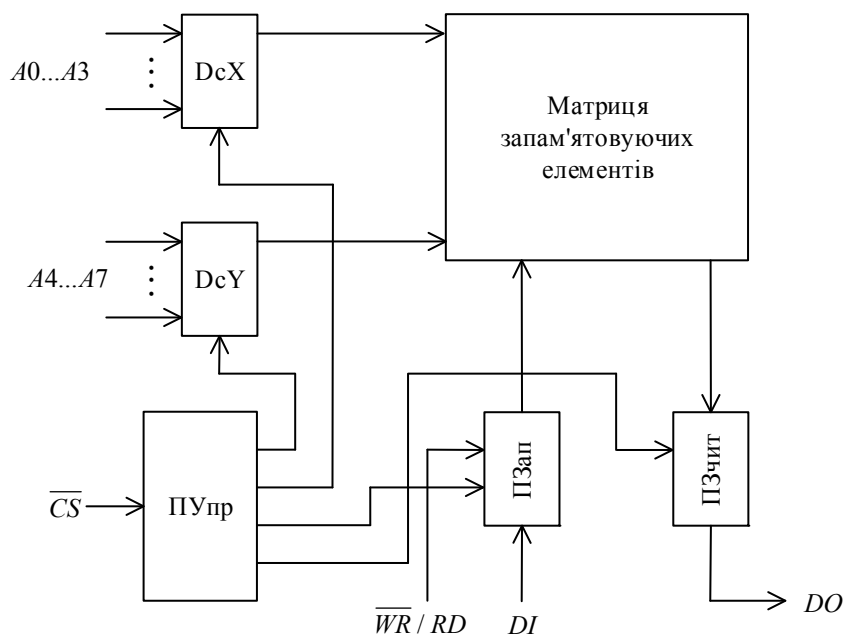


Рис. 12.1. Структурна схема запам'ятовуючого пристрою з однорозрядною організацією

Матриця накопичувача містить 256 запам'ятовуючих елементів ЗЕ, розташованих на перетинаннях 16 рядків і 16 стовпців (рис. 12.2). Кожен ЗЕ являє собою статичний тригер, що може бути реалізований на основі біполярних або МДН-транзисторів. Це залежить від технології виготовлення мікросхем.

Доступ до кожного ЗЕ можна організувати за допомогою логічного елемента І (рис. 12.3).

Для збереження інформації в тригері необхідне джерело живлення, тобто тригер розглянутого типу є енергозалежним. При наявності живлення тригер здатний зберігати свій стан як бажано довго.

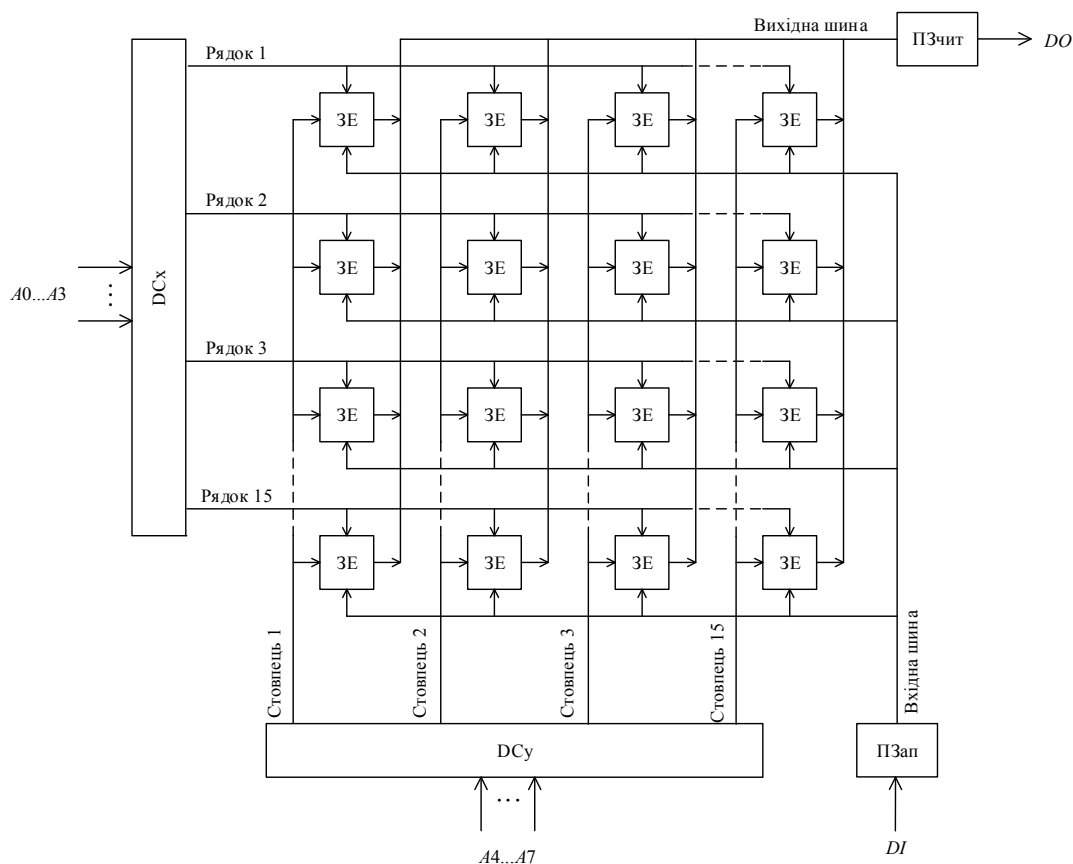


Рис. 12.2. Структурна матриці запам'ятовуючих елементів

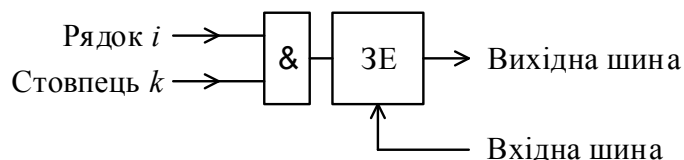


Рис. 12.3. Організація доступу до запам'ятовуючих елементів матриці

Для запису 0 або 1 у мікросхему необхідно підвести цю інформацію до входу DI , подати код адреси $A\{A_0 - A_7\}$, сигнал дозволу \overline{CS} і сигнал \overline{WR} / RD рівні "0", що відповідає режиму запису. При зазначених сигналах збуджується заданий рядок X_i , обраний дешифратором коду адреси рядків, і в результаті цього відкривається доступ по розрядних шинах до усіх ЗЕ даного рядка. Одночасно збуджується один з виходів Y_k , дешифратора коду адреси стовпців і під'єднає обраний ЗЕ.

Звертання до мікросхеми для зчитування відбувається аналогічно, але при

значенні сигналу \overline{WR} / RD рівному "1".

У більшості мікросхем пам'яті пристрій зчитування (або пристрій вводу/виводу) містить вихідний ключовий підсилювач-формувавч, здатний приймати три стани: два функціональних, відповідно "0" або "1", і третій стан, коли внутрішні блоки запам'ятовуючого пристрою відключаються від виходу. У третьому стані вихід відключений від приймача інформації, наприклад інформаційної шини.

Наявність у мікросхеми виходу на три стани дозволяє з'єднувати інформаційні вхід і вихід для підключення їх до єдиної інформаційної шини.

На рис. 12.4 наведені типові часові діаграми сигналів на входах статичного ОЗП.

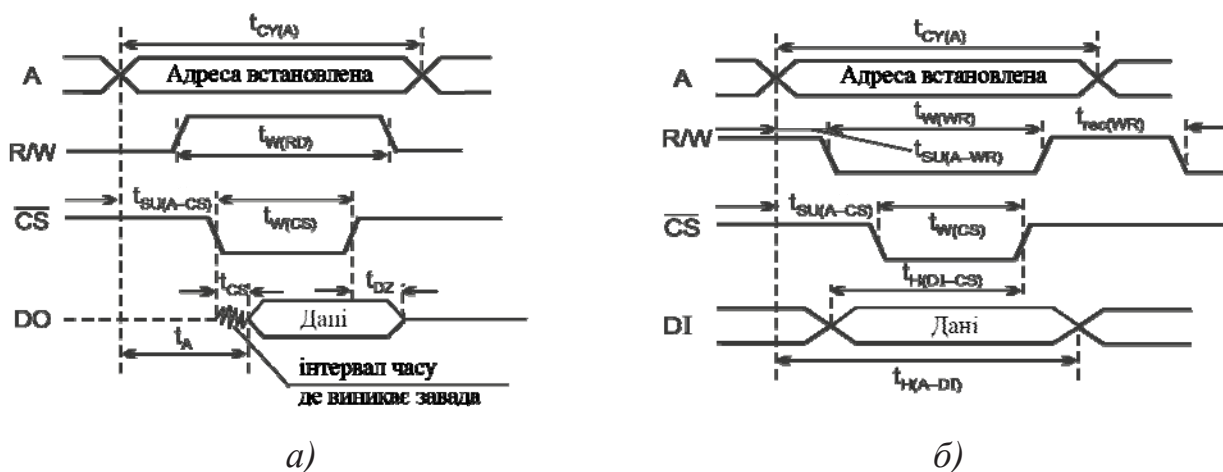


Рис. 12.4. Типові часові діаграми сигналів на входах статичного ОЗП в режимі зчитування (а) та запису інформації (б)

Розглянута структурна схема (рис. 12.1) являє собою приклад реалізації статичних ОЗП з однорозрядною організацією. Цей тип мікросхем переважає в сучасній номенклатурі мікросхем пам'яті. Разом з тим усе більш активний розвиток одержують мікросхеми статичних ОЗП з багаторозрядною словниковою організацією. Принцип побудови таких мікросхем аналогічний розглянутому вище, але при виборі адреси одного з ЗЕ відбувається звернення одразу до декількох ЗЕ, що мають одну адресу, але кожний під'єднаний до різних вхідних і вихідних шин. Пристрої запису і зчитування для цього мають n незалежних ка-

налів, де n – кількість розрядів запам'ятовуючого пристрою.

У мікросхемах пам'яті динамічного типу функції ЕП виконує електричний конденсатор, утворений усередині МДН-структури (рис. 12.5). Інформація представляється у виді заряду: наявність заряду на конденсаторі відповідає логічному "0", відсутність-логічній "1". Оскільки час збереження конденсатором заряду обмежений, передбачають періодичне відновлення (регенерацію) записаної інформації. У цьому складається одна з відмінних рис динамічних ОЗП. Крім того, для них необхідна синхронізація, що забезпечує необхідну послідовність включень і вимикань функціональних вузлів.

Для виготовлення мікросхем динамічних ОЗП в основному застосовують n -МДН-технологію, що дозволяє підвищувати швидкодію і рівень інтеграції мікросхем, забезпечувати малі струми витоку і за цей рахунок збільшувати час збереження заряду на запам'ятовуючому конденсаторі.

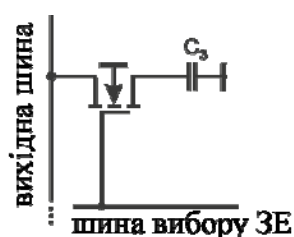


Рис. 12.5. Комірка динамічного ОЗП на МДН-структурах

Розглянемо типовий варіант реалізації динамічного ОЗП на прикладі мікросхеми інформаційною ємністю $16\text{K} \times 1$ біт. В її структурну схему (рис. 11.3) входять виконані в одному кремнієвому кристалі матриця накопичувача, що містить 16384 елементів пам'яті, розташованих на перетинаннях 128 рядків і 128 стовпців, 128 підсилювачів зчитування і регенерації, дешифратори рядків і стовпців, пристрій управління, пристрій вводу-виводу та мультиплексний регістр адреси.

Матриця накопичувача розділена на дві частини по 64×64 ЗЕ у кожній. Між ними розміщені підсилювачі, так що кожен стовпець складається з двох

секцій, підключених до різних пліч підсилювача.

Крім масиву ЗЕ та підсилювачів, матриця має у своїй структурі опорні елементи (по одному елементу в кожній напівшині). Ці елементи в кожній половині матриці складають опорний рядок. Опорний елемент побудований аналогічно запам'ятовуючому. Його призначення складається в підтримці опорної напруги, з якою підсилювач порівнює потенціал напівшини з обраним ЗЕ та реагує на одержану різницю потенціалів при порівнянні, позитивного і негативного знаку в залежності від рівня зчитування. Ця операція відбувається так: якщо обрано для звертання рядок верхньої напівматриці X_i , то сигнал A_6 старшого розряду коду адреси рядка комутує в селекторі опорного рядка коло через ключовий транзистор для сигналу F_2 до опорного рядка, розташованого в нижній напівматриці.

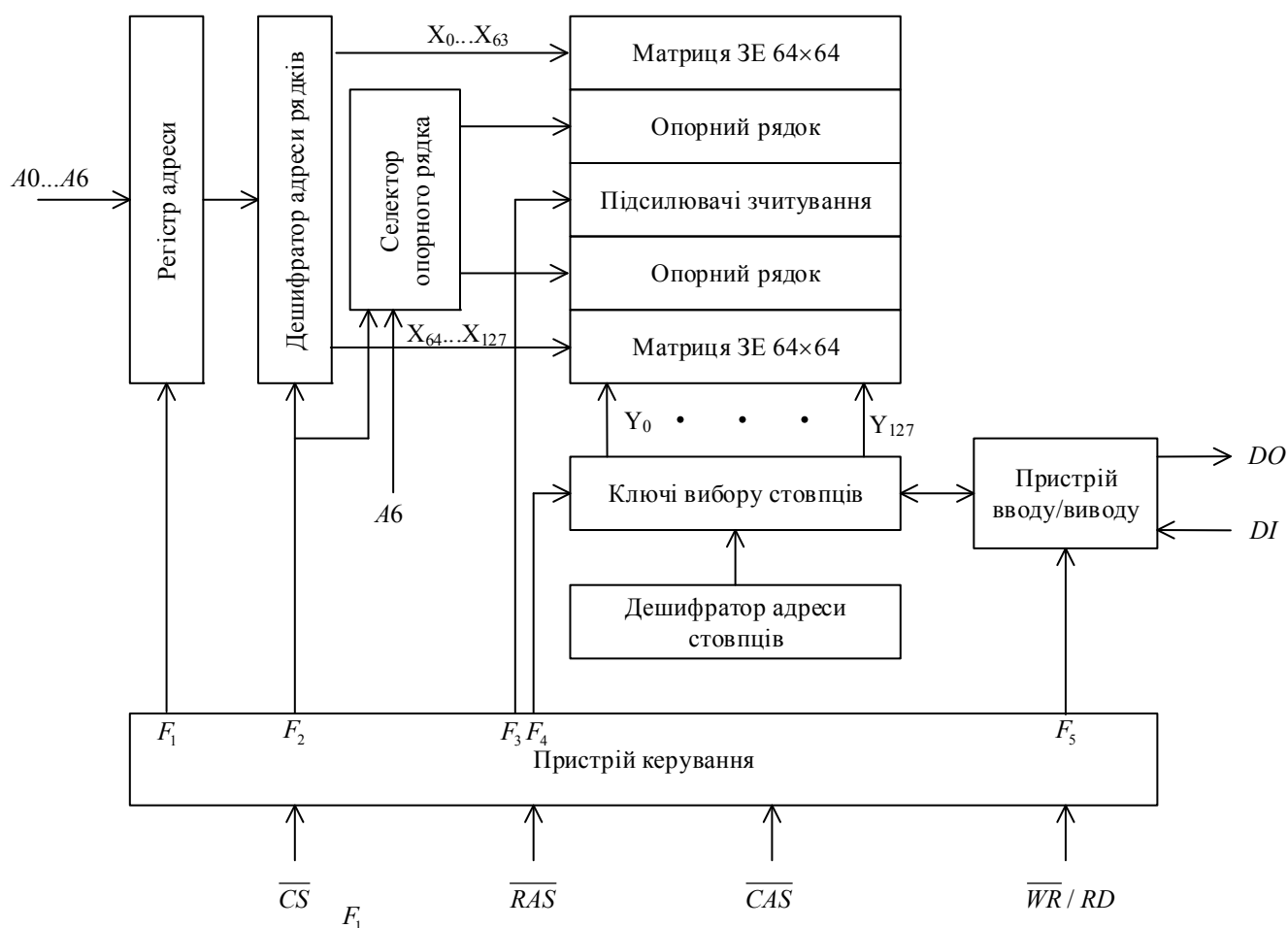


Рис. 12.5. Структура схема мікросхеми динамічного ОЗП

Таким чином, у кожному із 128 стовпців до підсилювача з різних сторін підключені ЗЕ та опорні елементи. Оскільки потенціал напівшини з ЗЕ відрізняється від опорного, то сигнал F_3 викликає перекидання тригера по переважному рівню. У підсумку на виходах-входах тригера формуються повні рівні "1" і "0". Той із сигналів, який відбиває зчитану інформацію комутується на вхід пристрою виводу. Очевидно, зчитаним може бути тільки один сигнал з обраного дешифратором стовпця.

Сигнал на вході-виході тригера-підсилювача виконує також функцію відновлення рівня заряду запам'ятовуючого конденсатора, тобто функцію регенерації інформації. Причому ця операція відбувається у всіх ЗЕ обраного рядка одночасно.

Таким чином, при кожному звертанні до матриці для зчитування інформації автоматично здійснюється регенерація інформації у всіх ЗЕ, що належать обраному рядку.

Для адресації 16К елементів пам'яті необхідний 14-розрядний код. З метою зменшення числа необхідних виводів корпусу в мікросхемах динамічних ОЗП код адреси вводять вроздріб: спочатку сім молодших розрядів $A_0...A_6$, супроводжуючи їх стробуючим сигналом \overline{RAS} , потім сім старших розрядів $A_7...A_{13}$ з стробуючим сигналом \overline{CAS} . У середині мікросхеми коди адреси рядків і стовпців фіксуються в адресному регістрі, потім дешифруються і здійснюють вибірку необхідного ЗЕ.

Для формування внутрішніх сигналів $F_1...F_5$, керуючих включенням і вимиканням у визначеній послідовності функціональних вузлів мікросхеми, у її структурі передбачений пристрій управління, для якого входними є сигнали \overline{RAS} , \overline{CAS} , \overline{WR} / RD .

Пристрій вводу-виводу забезпечує вивід одного біта інформації DO у режимі зчитування і ввід одного біта інформації DI з її фіксацією за допомогою D-тригера в режимі запису. В усіх режимах, крім режиму зчитування, вихід

встановлюється у третій стан, що дозволяє поєднувати інформаційні вхід і вихід при підключенні мікросхеми до загальної інформаційної шини.

12.2 Мікросхеми масочних ПЗП

Мікросхеми ПЗП по способу програмування, тобто занесення в них інформації, підрозділяють на три групи: ПЗП, що одноразово програмуються виготовлювачем по замовленому фотошаблону (масці), масочні ПЗП (ПЗПМ, ROM); ПЗП, що одноразово програмуються користувачем шляхом перепалювання плавких перемичок на кристалі (ППЗП, PROM); ПЗП, що багаторазово програмуються користувачем, репрограмуємі ПЗП (РПЗП, EPROM).

Загальною властивістю всіх мікросхем ПЗП є їхня багаторозрядна (словникова) організація, режим зчитування як основний режим роботи і енергозалежністю. Разом з тим у них є й істотні розходження в способі програмування, режимах зчитування, у звертанні до них при застосуванні. Тому доцільно розглянути кожен групу мікросхем ПЗП окремо.

Мікросхеми ПЗПМ виготовляють згідно біполярної ТТЛ, ТТЛШ-технології, *n*-канальної, *p*-канальної і КМДН-технологіям. Принцип побудови в більшості мікросхем групи ПЗПМ однаковий і може бути представлений структурою матриці запам'ятовуючих елементів (рис. 12.6). Структурна схема самої мікросхеми наведена вище (рис. 12.1). Матриця складається з масиву ЗЕ, кожний з яких розміщений на перетині рядка і стовпця. Елемент пам'яті ПЗПМ являє собою резистивну або напівпровідникову (діодну, транзисторну) перемичку між рядком і стовпцем. На рис. 12.6 це діоди. Інформацію в матрицю заносять у процесі виготовлення мікросхеми. У тих рядках де на перетині рядка і стовпця встановлений діод, при звертанні до нього буде зчитуватися "1", а там де діодів нема стовпець під'єднаний до загального через резистор і з цього рядка зчитується "0".

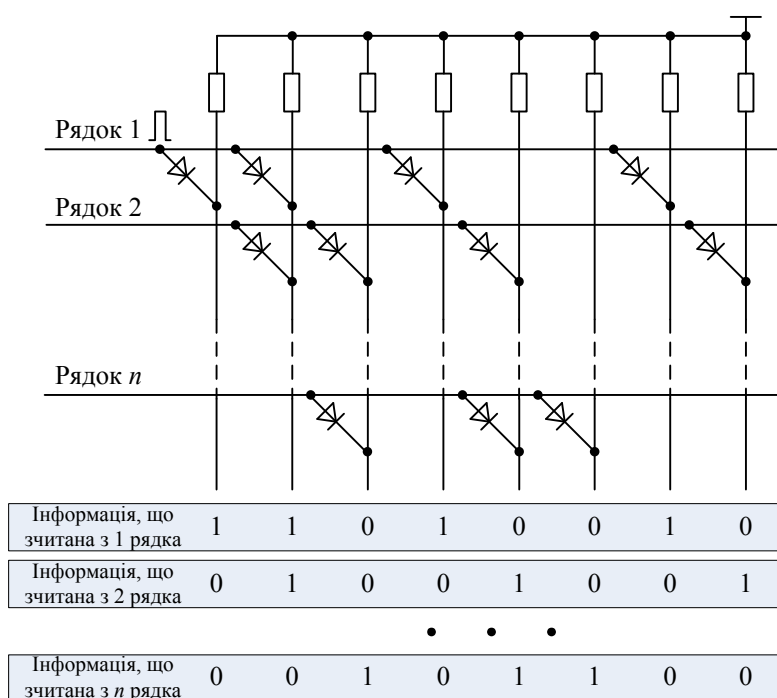


Рис. 12.6. Матриця запам'ятовуючих елементів мікросхеми масочного ПЗП

Мікросхеми на біполярних транзисторах програмують шляхом формування перемичок між рядками і стовпцями в тих точках матриці, куди варто занести логічну 1. У тих точках матриці, де повинний бути логічний 0, перемичку не формують.

Програмування мікросхем ПЗПМ здійснюють один раз. Оскільки схема з'єднань або граничні напруги транзисторів не залежать від режиму роботи мікросхеми, вона має властивість енергозалежності. Завдяки цій властивості мікросхеми ПЗПМ широко використовують як носії постійних програм, підпрограм різного призначення, кодів фізичних констант, постійних коефіцієнтів і т.п. Занесену в ПЗПМ інформацію в технічній документації називають "прошиванням".

Мікросхеми ПЗПМ працюють у режимах: збереження і зчитування. Для зчитування інформації необхідно подати код адреси і сигнал управління (CS), що дозволяє цю операцію. Сигнали управління можна подавати рівнем 1, якщо вхід CS прямий, або 0, якщо вхід інверсний. Частіше вхід CS виконується інве-

рним.

Багато мікросхем мають кілька входів управління, звичайно зв'язаних визначеним логічним оператором. У таких мікросхемах необхідно подавати на керуючі входи визначену комбінацію сигналів, щоб сформувавши умову дозволу зчитування.

Основним динамічним параметром мікросхем ПЗПМ являється час вибірки адреси. При необхідності стробіювання вихідних сигналів на керуючі входи CS варто подавати імпульси після надходження коду адреси. У такому випадку в розрахунок часу зчитування треба приймати час установлення сигналу CS щодо адреси і час вибору.

Вихідні сигнали майже у всіх мікросхем ПЗПМ мають TTL-рівні. Виходи побудовані в основному за схемою з трьома станами.

Для зниження споживаної потужності деякі мікросхеми допускають застосування режиму імпульсного живлення. В цьому режимі живлення на мікросхему подають тільки при зчитуванні інформації.

12.3 Мікросхеми програмуємих ПЗП

Мікросхеми програмуємих ПЗП за принципом побудови і функціонування аналогічні масочним ПЗП, але мають відмінність у тому, що допускають програмування на місці свого застосування користувачем. Операція програмування полягає в руйнуванні частини плавких перемичок на поверхні кристала імпульсами струму амплітудою 30...50 мА. Технічні засоби для виконання цієї операції досить прості і можуть бути побудовані самим користувачем. Ця обставина в сполученні з низькою вартістю і доступністю мікросхем ПЗП обумовило їхнє широке поширення на практиці.

Мікросхеми ПЗП, що випускаються вітчизняною промисловістю, здебільше виготовлені по TTLШ-технології.

Типовий варіант структури та реалізації матриці запам'ятовуючих елеме-

нтів мікросхеми ППЗП представлений на рис. 12.7. В основному вона повторює загальну структуру запам'ятовуючих пристроїв, але має додаткові пристрої $F_1 \dots F_n$ для формування струму програмування.

Матриця до програмування, тобто у початковому стані, містить однорідний масив провідних перемичок, що з'єднують рядки і стовпці у всіх точках їхніх перетинань. Перемички встановлюють з таких матеріалів: ніхрому, полікристалічного кремнію, силіциду платини та інших матеріалів. Перемичка в матриці виконує роль ЗЕ. Наявність перемички кодується логічною "1", якщо підсилювач зчитування (ПЗ) є повторювачем, і логічним "0", якщо підсилювач зчитування – інвертор. Отже, мікросхема ППЗП перед програмуванням у залежності від характеристики вихідного підсилювача може мати заповнення матриці або логічним 0 або логічною 1 (частіше логічною "1").

Робота запрограмованої мікросхеми ППЗП в режимі зчитування нічим не відрізняється від роботи мікросхеми ПЗПМ, розглянутих раніше. У деяких мікросхем мається вивід для під'єднання джерела напруги програмування U_p . У режимі зчитування цей вивід не задіяний.

Різновидом ППЗП є програмуємі випалюванням плавких перемичок логічні матриці (ПЛМ), виконані по ТТЛШ-технології, що мають ідентичні характеристики і конструктивні параметри, але відрізняються типом виходу: у першій з мікросхем вихід з відкритим колектором, у другій – на три стани.

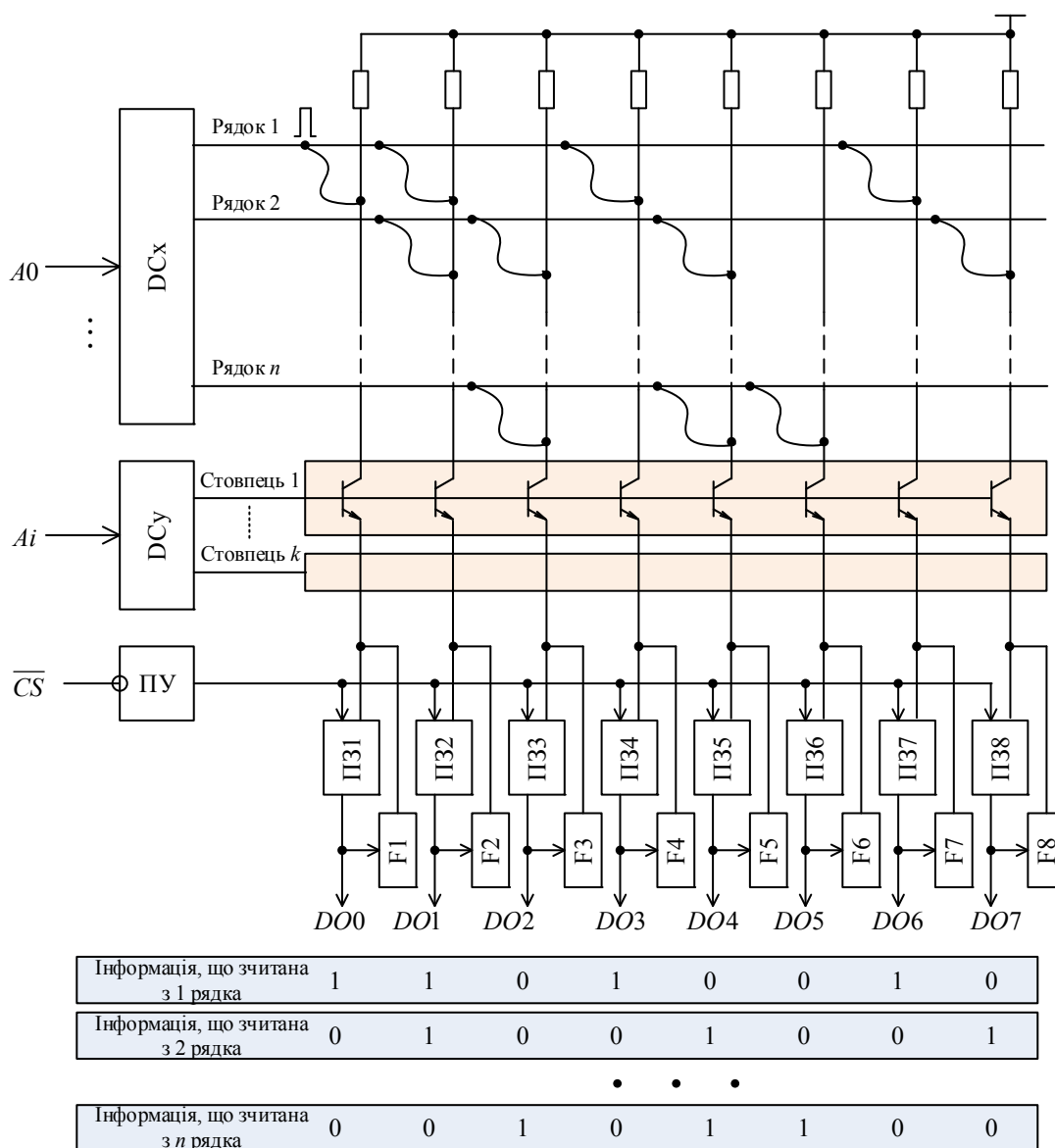


Рис. 12.7. Структура мікросхеми ППЗП

Названі мікросхеми ПЛМ мають 16 входів $A_{15} - A_0$ для змінних, над якими ПЛМ виконує запрограмовані операції, вхід CS з нульовим рівнем дозволу, вхід PR дозволу запису, тобто програмування, і вісім виходів. Структура мікросхеми (рис. 12.8) включає операційну частину з матриці І, матриці АБО, входних і вихідних підсилювачів і програмуючу частину з адресними формувачами $FA1$, $FA2$ і дешифратори $DCPR$.

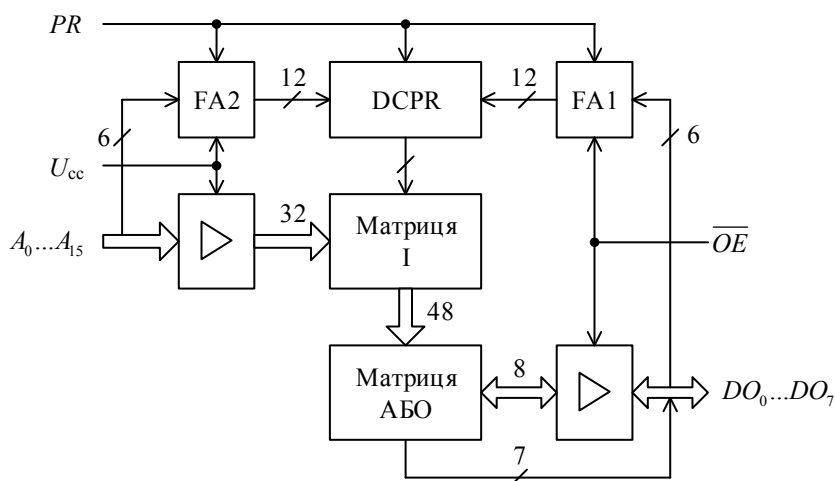


Рис. 12.8. Структура мікросхеми ПЛМ

Основу ПЛМ (рис. 12.8) складають матриці I та АБО. Матриця I виконує операції кон'юнкції над 16 вхідними змінними та їх інверсними значеннями, що надходять на рядкові шини матриці. Необхідні логічні добутки формують на шинах стовпців шляхом випалювання непотрібних перемичок між рядками і стовпцями.

Число стовпців 48, отже, на виході матриці I можна одержати до 48 логічних добутків, у кожне з яких може входити до 16 змінних та їхніх інверсій. Матриця АБО виконує операцію диз'юнкції над логічними добутками, сформованими матрицею I. Число виходів цієї матриці 8, тому вона здатна сформувати до восьми логічних сум, у кожену з яких може входити до 48 логічних добутків. Таким чином, можливості ПЛМ характеризуються числом точок комутації. Програмування матриці АБО виконується так само, як і матриці I, шляхом випалювання "непотрібних" перемичок. На виходах матриці АБО розміщені програмувальні підсилювачі, що у залежності від стану перемички можуть передавати значення вихідної функції в прямій чи інверсній формі представлення.

Для програмування служать вбудовані вузли програмуючої частини, які збуджує сигнал дозволу PR. Програмування здійснюють способом, аналогічним програмуванню ППЗП, у три етапи: спочатку програмують матрицю I, потім матрицю АБО і вихідні інвертори.

Функціональна схема ПЛІМ наведена на рис. 12.9. Програмована логічна матриця має n входів, k елементів І, виходи яких утворюють k вертикальних шин, m елементів АБО, виходи яких підключені до входів суматорів по модулю 2 (М2), що виконують роль керованих інверторів. Виходи цих m інверторів є виходами самої ПЛІМ. Кожен елемент І має $2n$ входів, якими він пов'язаний з усіма шинами вхідних сигналів і їх інверсій. В лінії зв'язку включені спеціальні перемички, позначені на рис. 12.9 короткими зигзагами. Ці перемички виконуються з певного матеріалу (наприклад, ніхром, кристалічний кремній) або у вигляді спеціальних $p-n$ переходів так, щоб їх можна було вибірково руйнувати ("випалювати"), залишаючи лише ті зв'язки, які потрібні споживачеві ПЛІМ. У ряді типів ПЛІМ випалювати перемички може сам споживач, подаючи на відповідні виводи корпусу імпульси струму або напруги певної амплітуди і тривалості.

Елементи АБО ПЛІМ, так само як і елементи І, мають на входах випалювані перемички, з допомогою яких вони підключені до всіх вертикальних шин. Після випалювання на програматорі непотрібних перемичок у елементів АБО також залишаються лише ті зв'язки з вертикалями, які необхідні споживачу. Технічна реалізація елементів АБО така, що після випалювання перемичок на входах АБО, які ні до чого не підключені забезпечуються рівні логічного нуля.

Аналогічним чином програмують відсутність або виконання інвертування виходів АБО, відповідно перепалюючи або залишаючи перемички на верхніх по рис. 12.9 входах елементів М2.

Методи технологічного виконання елементів І, АБО, М2 і руйнування перемичок можуть бути різними. З точки зору логічного проектування істотно лише те, що схемотехнік може використовувати ПЛІМ за своїм розсудом:

- подати на будь-який елемент І будь-яку комбінацію входів ПЛІМ або їх інверсій;
- підключити до будь-якого елементу АБО будь-яку комбінацію вертикальних шин (виходів);

- проінвертувати вихідні сигнали АБО.

Такі можливості дозволяють дуже просто реалізувати на ПЛМ перетворювачі кодів або, що те ж саме, системи логічних функцій.

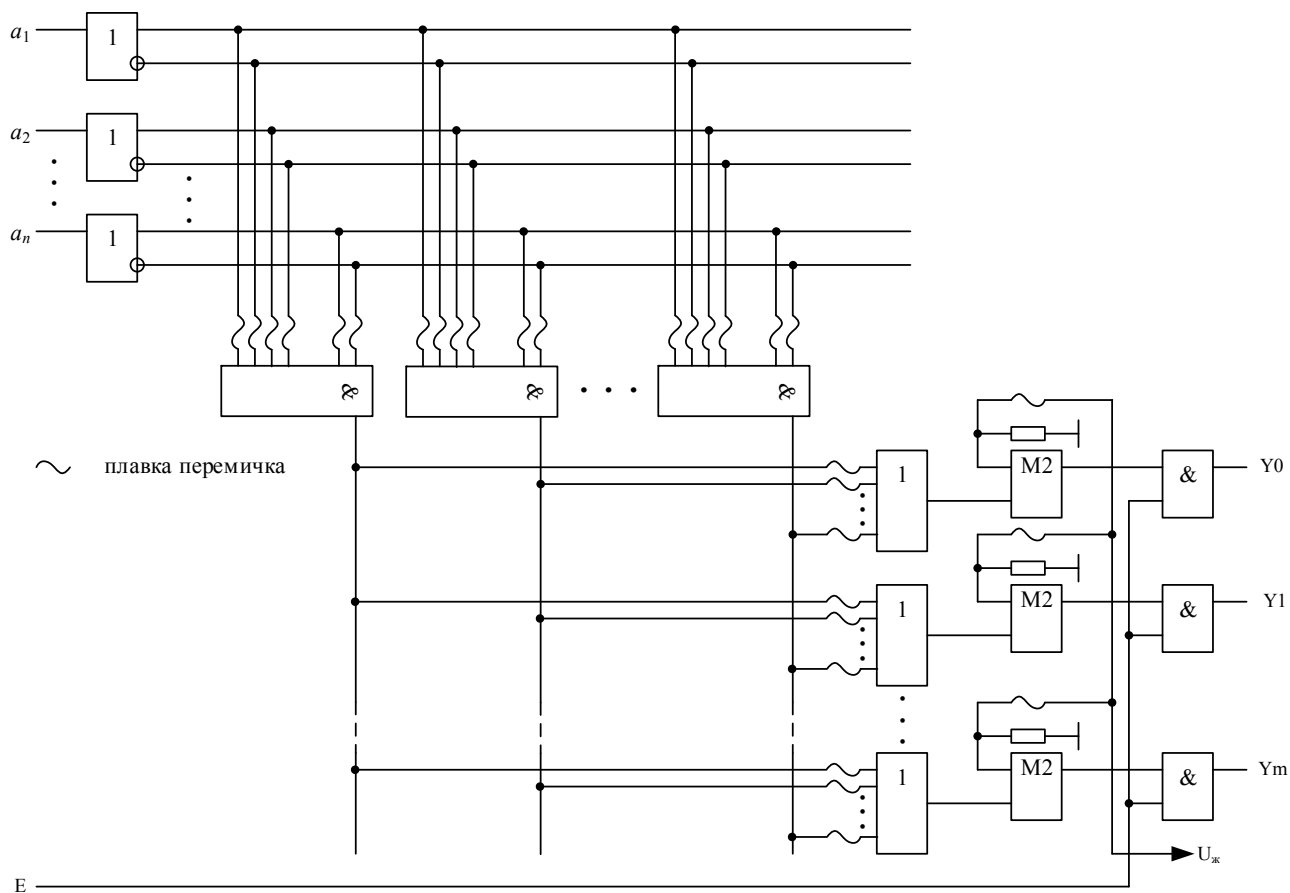


Рис. 12.9. Функціональна схема ПЛМ

Широко застосовують ПЛМ, програмовані по способу замовленого фототаблону на заводі-виготовлювачі. Такі ПЛМ є різновидом масочних ПЗП. Вони включені, зокрема, до складу багатьох мікропроцесорних комплектів у якості ПЗП мікрокоманд. На основі ПЛМ можна будувати всілякі цифрові пристрої як комбінаційного, так і послідовного типів.

12.4 Мікросхеми репрограмовані ПЗП

Основна відмінна риса мікросхем репрограмованих ПЗП (РПЗП) полягає в їхній здатності до багаторазового (від 100 до 10 тис.) перепрограмувань самим користувачем. Ця властивість мікросхем забезпечена застосуванням ЗЕ із властивостями керованих "перемичок", функції яких виконують транзистори зі структурою МНОН і транзистори n -МОН із плаваючим затвором (ПЗ) з використанням механізму лавинної інжекції заряду ЛІЗМОН.

Всю номенклатуру мікросхем РПЗП можна розділити на дві групи: РПЗП з записом і стиранням електричними сигналами (група ЕС) і РПЗП з записом електричними сигналами і стиранням ультрафіолетовим випромінюванням (група УФ).

Елемент пам'яті зі структурою МНОН являє собою МДН-транзистор з індукованим каналом p -типу (рис.12.10,а) або n -типу, що має двошаровий діелектрик під затвором. Верхній шар формують з нітриду кремнію, нижній – з окислу кремнію, причому нижній шар значно тонше верхнього.

Якщо до затвору відносно підкладки прикласти імпульс напруги позитивної полярності з амплітудою 30...40 В, то під дією сильного електричного поля між затвором і підкладкою електрони здобувають достатню енергію, щоб пройти тонкий діелектричний шар до межі розділу двох діелектриків. Верхній шар (нітриду кремнію) має значну товщину і електрони подолати його не можуть.

Накопичений на межі розділу двох діелектричних шарів заряд електронів знижує граничну напругу і зміщує передатну характеристику транзистора вліво (рис. 12.10,б). Цей стан ЗЕ відповідає логічній "1". Режим занесення заряду під затвор називають режимом програмування.

Логічному "0" відповідає стан транзистора без заряду електронів у діелектрику. Щоб забезпечити цей стан, на затвор подають імпульс напруги негативною полярності з амплітудою 30...40 В. При цьому електрони витісняються в підкладку. При відсутності заряду електронів під затвором передатна характе-

ристика зміщується в область високої граничної напруги. Режим витіснення заряду з підзатворного діелектрика називають режимом стирання.

Режим стирання і програмування можна здійснити за допомогою напруги однієї полярності: негативної для *p*-МНОН, позитивної для *n*-МНОН структур. Ця можливість заснована на використанні явища лавинної інжекції електронів під затвор, що відбувається, якщо до джерела і стоку прикласти імпульс негативної напруги 30...40 В, а затвор і підкладку з'єднати з корпусом. У результаті електричного пробою переходів джерело-підкладка і стік-підкладка відбувається лавинне розмноження електронів і інжекція деяких з них, які володіють достатньою кінетичною енергією, на границю між шарами діелектриків. Для стирання необхідно подати імпульс негативної напруги на затвор. У режимі зчитування на затвор подають напругу $U_{зч}$, значення якого лежить між двома граничними рівнями. Як що в ЗЕ записана "1", транзистор відкриється, а при "0" – залишиться в закритому стані. У залежності від цього, як видно з рис. 12.11, *г*, у розрядній шині або буде протікати струм на вихід, або ні. Підсилювач зчитування трансформує стан шини в рівень напруги "1" або "0" на виході мікросхеми.

Для поліпшення характеристик РПЗП широко застосовують технологію виготовлення ЗЕ на *n*-МНОН транзисторах. Такі ЗЕ аналогічні розглянутим, але мають провідність підкладки *p*-типу, а джерело і стік *n*-типу.

Варіант ЗЕ на структурі ЛІЗМОН з подвійним затвором (рис. 12.11, *в*) являє собою *n*-МОН транзистор, у якого в підзатворному однорідному діелектрику SiO₂ сформована ізольована провідна область з металу або полікристалічного кремнію. Цей затвор одержав назву "плаваючого".

У режимі програмування на керуючий затвор, джерело і стік подають імпульс напруги +21... 25 В. У зворотно зміщених *p-n* переходах виникає процес лавинного розмноження носіїв заряду і частина електронів інжектує на ПЗ. У результаті накопичення на ПЗ негативного заряду передатна характеристика транзистора зміщується в область високої граничної напруги (вправо), що від-

повідляє запису "0".

Стирання записаної інформації, тобто витиснення заряду з ПЗ, у структурах ЛІЗМОП здійснюють двома способами: у РПЗП-ЕС електричними сигналами, у РПЗП-УФ за допомогою УФ опромінення. У структурах зі стиранням електричними сигналами імпульсом позитивної напруги на керуючому затворі знімають заряд електронів із ПЗ, відновлюючи низьковольтний рівень граничної напруги, що відповідає "1".

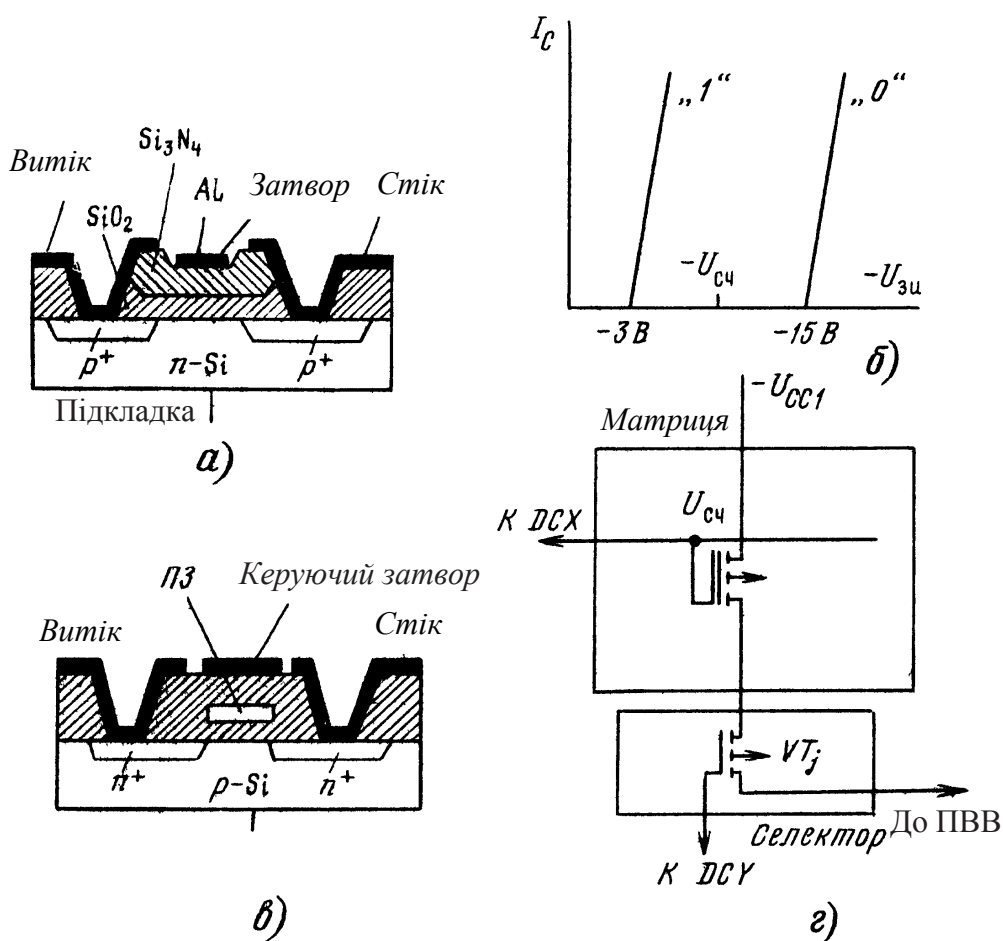


Рис. 12.11. Елементи пам'яті РПЗП типу МНОН (а) і його передатна характеристика (б), та елементи РПЗП типу ЛІЗМОП (в) і розташування ЗЕ в матриці мікросхеми

У структурах з УФ опроміненням електрони розсмоктуються з ПЗ у підкладку в результаті посилення теплового руху за рахунок отриманої енергії від джерела УФ випромінювання. Режим зчитування здійснюють так само, як у ЕП

на структурі МНОН. У режимі збереження забезпечують відсутність напруги на електродах ЗЕ для того, щоб виключити розсмоктування заряду в діелектричному середовищі. Теоретичними розрахунками доведена можливість збереження заряду сотні років. На практиці цей час обмежують для одних типів мікросхем декількома тисячами годин, для інших – декількома роками. Отже, мікросхеми РПЗП відносяться до групи енергонезалежних.

Принцип побудови і режим роботи РПЗП розглянемо на прикладі мікросхеми ємністю $2K \times 8$ з ЗЕ на p -МНОН транзисторах.

Структурна схема РПЗП (рис. 12.12) містить елементи, необхідні для роботи мікросхеми в якості ПЗП: матрицю з елементами пам'яті, дешифратори коду адреси рядків і стовпців, селектор (ключі вибору стовпців), пристрій вводу-виводу ПВВ. Крім того, у структурі передбачені функціональні вузли, що забезпечують її роботу в режимах стирання і програмування (запису інформації) – це комутатори режимів і формувачі імпульсів необхідної амплітуди і тривалості із напруги програмування U_{PR} . У порівнянні з мікросхемами ПЗПМ і ППЗП система керуючих сигналів доповнена сигналами програмування PR і стирання ER. Накопичувач з матричною організацією містить 128 рядків і 128 стовпців, на перетинаннях яких розташовані 16 384 елементів пам'яті. Управління накопичувачем здійснюють сьома старшими розрядами адресного коду, який після дешифрування вибирає рядок з 128 елементами пам'яті. Сигнали, зчитані з елементів обраного рядка, надходять на входи селектора, призначення якого складається у виборі з 128-розрядного коду на входах восьми розрядів, що далі надходять через ПВВ на виходи мікросхеми.

- Селектором керують чотири молодших розряди адресного коду, які після дешифрування забезпечують вибірку одного восьмирозрядного слова з 16 слів, що містяться в обраному рядку. Пристрій управління під впливом сигналів на своїх входах забезпечує роботу мікросхеми в одному з наступних режимів: збереження, зчитування, стирання, запису (програмування). Керуючі сигнали мають наступне призначення:

- CS – вибір мікросхеми;
- PR – дозвіл режиму запису (програмування);
- U_{PR} – напруга програмування;
- ER – сигнал зчитування;
- RD – сигнал стирання інформації.

Входи сигналів інверсні, тому значенням дозволу цих сигналів є "0". Багато мікросхем групи ЕС допускають виборче стирання за обраним адресом.

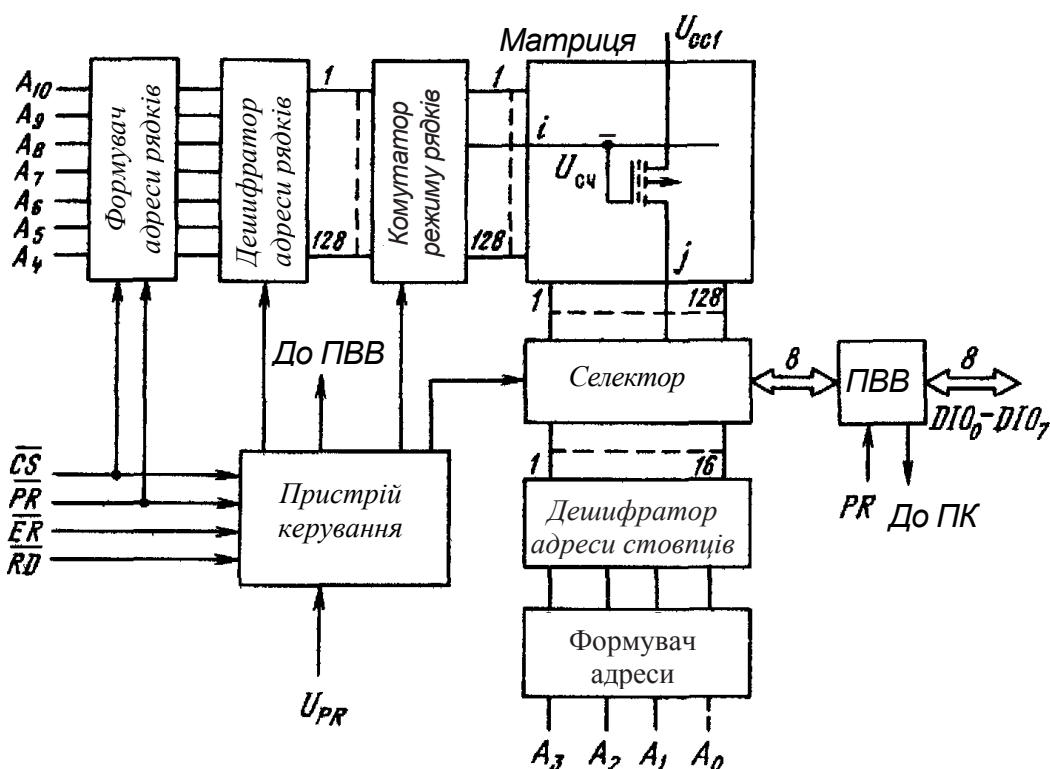


Рис. 12.12. Структурна схема мікросхеми РПЗУ-ЕС

При експлуатації мікросхем РПЗП необхідно забезпечити необхідний порядок включення і вимикання напруги живлення окремих вузлів і програмування. При включенні спочатку подають напругу +5 В, потім –12 В і останньою напругу програмування. При вимиканні послідовність міняється на зворотну. Можна всі три напруги включати і виключати одночасно.

Перевагою мікросхем РПЗП групи ЕС є можливість перепрограмування без вилучення їх із пристрою, де вони працюють. Іншою позитивною властивіс-

тю мікросхем даної групи є значне число циклів перепрограмування, що досягає для більшості мікросхем 10 тис. Ця їхня властивість у сполученні з енерго-незалежністю дозволяє широко використовувати їх в апаратурі в якості вбудованих ПЗП зі змінюваною інформацією.

В структурі і режимах роботи мікросхем РПЗП-УФ багато загального з мікросхемами групи ЕС. Виключення складає режим стирання, для реалізації якого необхідне джерело УФ випромінювання.

Подальший розвиток технології ПЛМ призвів до створення програмованих логічних інтегральних схем (ПЛІС). Реалізовані ними функції можна багаторазово змінювати, нерідко для цього навіть не потрібно витягати мікросхему з пристрою, в якому вона працює.

Кристал ПЛІС містить велике число однотипних логічних елементів. З'єднують елементи в потрібному порядку за допомогою перемичок – ключів на польових транзисторах. А в кожному логічному елементі є перемикачі (мультиплексори), програмуючи які, можна змінювати виконувані функції.

Майже всі зовнішні виводи ПЛІС універсальні. Любий з них може служити входом, або виходом. Деякі виводи мають додаткові функції, наприклад, служать для програмування конфігурації мікросхеми, що, однак, не виключає їхнього використання як звичайного входу або виходу.

За внутрішньою структурою і способом запам'ятовування конфігурації ПЛІС можна розділити на два види: FPGA (field programmable gate array – матриця вентилів, програмованих електричним полем) і CPLD (complex programmable logic device – складна програмована логічна матриця).

Мікросхеми FPGA, подібно ОЗП, зберігають задану конфігурацію тільки при включеному живленні і "забувають" її після вимикання. Щораз, включивши живлення, таку ПЛІС необхідно програмувати заново. Програму звичайно зберігають у встановленому на одній платі з ПЛІС завантажувальному ПЗП, що може бути послідовним однорозрядним або паралельним восьмирозрядним. Спосіб завантаження конфігурації задають логічними рівнями на керуючих

входах. Процедура перезапису виконується автоматично, після чого ПЛІС переходить у робочий режим.

Мікросхеми CPLD зберігають конфігурацію незалежно від наявності напруги живлення. У мікросхеми конфігурацію заносять за допомогою програматора, а стирають ультрафіолетовим випромінюванням. Такі ПЛІС встановлюють, як правило, у вже налагоджені пристрої. Для налагодження нових виробів вони незручні через тривалу (до години) процедуру очистки.

Мікросхеми, виконані за технологією FLASH, можна неодноразово програмувати, не вилучаючи з пристрою, в якому вони встановлені. Для цього в них передбачений спеціальний порт JTAG. Щоб записати вихідну конфігурацію або внести в неї зміни, виводи цього порту через кілька буферних мікросхем з'єднують кабелем з портом LPT персонального комп'ютера.

Порт JTAG корисний не тільки для програмування. Через нього комп'ютер може одержати інформацію про логічні рівні на усіх виводах ПЛІС і в контрольних точках всередині її. Можливість організувати такий порт передбачений і в ПЛІС структури FPGA останніх серій. Виводи мікросхеми, зайняті портом JTAG, можуть служити і звичайними входами/виходами.

11.5. Контрольні запитання

1. Для чого призначені ПЗП?
2. Як організовані схеми ПЗП і на яких ЗЕ вони виконуються?
3. Як можна задавати 0 і 1 у матричних ПЗП?
4. Як програмуються однократно програмовані ПЗП?
5. На яких елементах виконуються РПЗП?
6. Поясніть принцип роботи ЗЕ РПЗП.
7. Як здійснюється запис інформації в РПЗП?
8. Перелічіть цифрові схеми, що можуть бути віднесені до програмованих логічних пристроїв.

9. Назвіть основні складові частини ПЛІС.
10. Чим пояснюється функціональна гнучкість ПЛІС?
11. У чому призначення ОЗП?
12. Назвіть основні параметри ЗП
13. Що таке елементарна запам'ятовуюча комірка?
14. У чому полягає принцип побудови ІС ОЗП з одновимірною адресацією; із словарною адресацією?
15. Наведіть приклади енергонезалежних ЗЕ для побудови ОЗП
16. Наведіть структуру ІС динамічного ОЗП
17. У чому полягає особливість динамічних ОЗП?

13 ЗАСТОСУВАННЯ ЦИФРОВИХ ІНТЕГРАЛЬНИХ МІКРОСХЕМ

13.1 Завади та завадостійкість цифрових пристроїв

В міру удосконалювання пристроїв цифрової техніки вони одержують усе більше застосування для автоматизації управління всілякими об'єктами. При цьому в безпосередній близькості друг до друга виявляються електронні пристрої і потужні агрегати, такі як електродвигуни, електромагніти, електронагрівальні прилади, зварювальні машини й ін. У зв'язку з цим усе більшого значення набуває проблема зменшення шумів і забезпечення завадостійкості електронних пристроїв. Ця проблема зв'язана не тільки з ростом зовнішніх завад від розташованих поблизу агрегатів, але і із збільшенням внутрішніх завад – взаємного впливу елементів і блоків електронних пристроїв один на одного. Останнє особливо істотно в зв'язку з тенденцією підвищення швидкодії і мікромініатюризацією електронних схем.

Цифровий пристрій являє собою мережу з'єднаних між собою елементів. Електричне коло, що з'єднує вихід одного елементу (джерела сигналу) із входом іншого елементу (приймача сигналу), утворює контур, що служить свого